

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-204331

(43)Date of publication of application : 13.08.1993

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 03-054344

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.03.1991

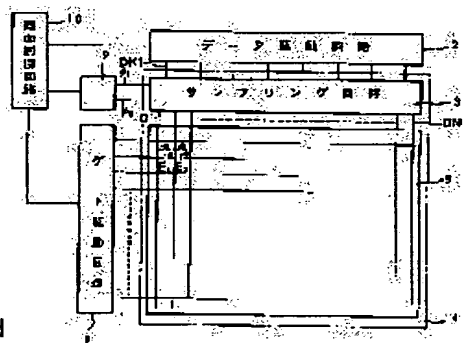
(72)Inventor : ONO KIKUO  
KONISHI NOBUTAKE  
TANAKA TAKESHI

## (54) METHOD FOR DRIVING LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To improve display quality and yield by making the writing time of TFT when a drain voltage is positive polarity longer than that when it is negative polarity.

**CONSTITUTION:** Data voltages are sequentially impressed to drain lines D1 to DN, that is, electrodes commonly pulled out from each drain of thin film transistors(TFT) arrayed in a vertical direction, for every gate line impressed with on gate voltages from a data driving circuit 2 via a sampling circuit 3 and given to each liquid crystal cell. Also, the sampling circuit 3 is provided with sampling TFTs for respective drain lines D1 to DN and while pixel TFT gate-on voltages are impressed to the gate terminals of the sampling TFTs, plural voltages  $\phi_1$  and  $\phi_2$  are supplied. In this case, the  $\phi_1$  and  $\phi_2$  corresponding to a specified period of time are preferentially charged against the driving condition for reducing pixel TFT charging ability and a crossing time is lengthened.



## LEGAL STATUS

[Date of request for examination] 12.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3163637

[Date of registration] 02.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] In the method of driving a liquid crystal display the drain electrical potential difference which gives a video signal drives the liquid crystal display using the thin film transistor as a switching element by forward and negative bordering on said predetermined electrical potential difference to a predetermined electrical potential difference The ON pulse width of said gate voltage with the gate voltage of a thin film transistor higher than said predetermined electrical potential difference, The drive approach of a liquid crystal display that overlap time amount with the drain electrical potential difference impressed to liquid crystal from a thin film transistor more highly than said predetermined electrical potential difference is characterized by the \*\*\*\*\* from overlap time amount with said drain electrical potential difference lower than said predetermined electrical potential difference.

[Claim 2] The drive approach of the liquid crystal display characterized by said gate voltage which overlaps said drain electrical potential difference higher than said predetermined electrical potential difference and a time amount target being higher than said gate voltage which overlaps said drain electrical potential difference lower than said predetermined electrical potential difference in claim 1.

[Claim 3] In the drive approach of the liquid crystal display driven by turns on the data electrical potential difference which consists of forward and a negative frame to a predetermined electrical potential difference On drain wiring to which two or more thin film transistors with the drain terminal which supplies the data electrical potential difference which displays, and said drain terminal were connected The drive approach of the liquid crystal display characterized by the gate voltage of the transistor which is equipped with the transistor which supplies at least one or more of said the data electrical potential differences, and supplies said data electrical potential difference turning into forward and a negative electrical potential difference to said predetermined electrical potential difference for every frame.

[Claim 4] The drive approach of the liquid crystal display characterized by making said predetermined electrical potential difference into the main electrical potential difference of the maximum electrical potential difference of said drain electrical potential difference, and the minimum electrical potential difference in claims 1, 2, and 3.

[Claim 5] The drive approach of the liquid crystal display characterized by considering as the main electrical potential difference of an electrical potential difference with the predetermined, electrical-potential-difference value \*\*\*\*\* predetermined amplitude value impressed to the electrode on the substrate which forms said thin film transistor for said predetermined electrical potential difference, and the opposite substrate in the location which sandwiched liquid crystal in claims 1, 2, and 3.

[Claim 6] The drive approach of the liquid crystal display characterized by forming on the same substrate as the thin film transistor to which TORAJISUTA which supplies a data electrical potential difference carries out the direct drive of the liquid crystal to drain wiring to which said two or more thin film transistors were connected in claim 3.

[Claim 7] It is the drive approach of the liquid crystal display component characterized by said liquid crystal being a dispersion mold liquid crystal device in claim 6 from claim 1.

[Claim 8] The pixel formed so that liquid crystal might be driven by the thin film transistor formed in the

shape of a matrix, The gate drive circuit which drives said thin film transistor, and the data drive circuit which gives a predetermined electrical potential difference to liquid crystal, The screen control circuit which gives a control signal to said gate drive circuit and a data drive circuit, In the information processor which is equipped with the microcomputer and information input means for data processing, and transmits said data-processing result or the information from an information input means to a screen control circuit through said microcomputer It is the information processor which prepares the switching element which controls a data signal between said data drive circuits and said thin film transistors, and is characterized by said switching element reversing a polarity for every frame based on the signal from said screen control circuit.

[Claim 9] The pixel formed by the liquid crystal capacity arranged in the shape of a matrix, and the viewing area which consists of matrices of said pixel, The thin film transistor which is formed for said every pixel and drives said pixel, and the substrate which forms said thin film transistor, In the liquid crystal display which has the drain wire which connected the drain terminal of said thin film transistor belonging to the same rank, and the gate line which connected the gate terminal of said thin film transistor belonging to a companion The liquid crystal display characterized by for said at least two or more drain wires drive the pixel of a different train connecting mutually, and forming a closed loop out of said viewing area on said substrate through the thin film transistor for the sampling of the direction of a train of said pixel formed in one side at least.

[Claim 10] It is the liquid crystal display characterized by forming for each [ in which said thin film transistor for a sampling formed said pixel in claim 9 ] train of every.

[Claim 11] The liquid crystal display characterized by connecting mutually said at least two or more drain wires drive said pixel of a train which forms the thin film transistor for a sampling in the both sides of the direction of a train of said pixel, and is different out of said viewing area on said substrate in claim 9, and forming a closed loop.

[Claim 12] In claim 9, the loop formation of said drain wire is formed per two drain wires. Said sampling transistor inserted in said loop formation at the one side of a besides [ said viewing area ] is at least two or more pieces. The terminal which supplies a drain electrical potential difference to said loop formation from a drive circuit at least Between said two sampling transistors, Or the liquid crystal display characterized by having formed during branching wiring of said sampling transistor, and forming one sampling transistor in said loop formation of the other side of a besides [ said viewing area ].

[Claim 13] The liquid crystal display characterized by preparing the connection terminal for supplying a drain electrical potential difference to said loop formation from the exterior in claim 12 during the loop formation of said drain wire established out of the viewing area of the both sides of the direction of a train, or branching wiring of said sampling transistor.

[Claim 14] The liquid crystal display with which terminal spacing of said connection terminal prepared out of the viewing area of both directions of a train in claim 12 is characterized by the equal thing.

[Claim 15] the liquid crystal display characterize by the loop formation of said drain wire serve as a two drain wire unit , and the sampling transistor per piece be insert in said loop formation in the both sides besides a viewing area in claim 9 , respectively , and for the electrical potential difference supply terminal from an external drive circuit branch , and form it from the loop formation top besides at least one viewing area , or it .

[Claim 16] The liquid crystal display with which the number ND of connection terminals of the circuit formed on said substrate and the drive circuit established in the exterior of said substrate and the line count NX of the arranged pixel are characterized by having the relation of  $ND = NX/n$  (n is one or more integers) in the liquid crystal display of claim 9.

[Claim 17] The liquid crystal display characterized by the number of the video signals supplied from the external drive circuit of the one side of the thin film transistor formed in the both sides besides the viewing area of the direction of a train of the viewing area which consists of said pixels in the liquid crystal display of claim 16, and the other side forming an input terminal so that it may differ.

[Claim 18] The liquid crystal display characterized by using a dispersion mold liquid crystal device for said liquid crystal in claim 17 from claim 9.

[Claim 19] The pixel formed by the liquid crystal capacity arranged in the shape of a matrix, and the viewing area which consists of matrices of said pixel, The thin film transistor which is formed for said every pixel and drives said pixel, and the substrate which forms said thin film transistor, The drain wire which connected the drain terminal of said thin film transistor belonging to the same rank, Said at least two or more drain wires which it has the gate line which connected the gate terminal of said thin film transistor belonging to a companion, and drive the pixel of a different train out of said viewing area on said substrate In the drive approach of the liquid crystal display which connected mutually through the thin film transistor for the sampling of the direction of a train of said pixel formed in one side at least, and formed the closed loop The drive approach of the liquid crystal display characterized by having the period through which all the sampling transistors inserted in the loop formation of said drain wire within the pulse width period of the gate voltage of a pixel transistor flow.

[Claim 20] The drive approach of the liquid crystal display characterized by having the period through which all the sampling transistors inserted in the loop formation of said drain wire within the pulse width period of the gate voltage of a pixel transistor flow in the drive approach of the liquid crystal display of claim 19, and the period which is the back [ period / this ] and, by which the sampling transistor of the both ends of one drain wire in a loop formation is intercepted within said pulse width period.

[Claim 21] The pixel which forms the liquid crystal capacity arranged in the shape of a matrix, and the viewing area which consists of matrices of said pixel, The thin film transistor which is formed for said every pixel and drives said pixel, and the substrate which forms said thin film transistor, The drain wire which connected the drain terminal of said thin film transistor belonging to the same rank, Said at least two or more drain wires which it has the gate line which connected the gate terminal of said thin film transistor belonging to a companion, and drive the pixel of a different train out of said viewing area on said substrate In the drive approach of the liquid crystal display which connected mutually and formed the closed loop through the thin film transistor for the sampling of the direction of a train of said pixel formed in one side at least The drive approach of the liquid crystal display characterized by the potential within the loop formation of said drain wire having both the period which becomes equal, and a different period within the pulse width period of the gate voltage of a pixel transistor.

[Claim 22] The viewing area, the liquid crystal capacity, i.e., the pixel, arranged in the shape of a matrix, which consists of a matrix of said pixel, The substrate which was formed for said every pixel and formed the thin film transistor which drives a pixel, and said thin film transistor, The drain wire which is wiring which connects the drain terminal of said thin film transistor which drives the pixel belonging to the same rank, Said drain wire comrade who drives the pixel of a different line in the liquid crystal display which has the gate line which is wiring which connects the gate terminal of said thin film transistor which drives the pixel belonging to the same rank on both sides outside a viewing area of the line writing direction of a viewing area The liquid crystal display characterized by connecting or more with both at least two, and forming the loop formation through the thin film transistor formed on said substrate.

[Claim 23] In the method of driving a liquid crystal display the drain electrical potential difference which gives a video signal drives the liquid crystal display using the transistor as a switching element by forward and negative bordering on said predetermined electrical potential difference to a predetermined electrical potential difference The ON pulse width of said gate voltage with the gate voltage of said transistor higher than said predetermined electrical potential difference, The drive approach of a liquid crystal display that overlap time amount with the drain electrical potential difference impressed to liquid crystal from said transistor more highly than said predetermined electrical potential difference is characterized by the \*\*\*\*\* from overlap time amount with said drain electrical potential difference lower than said predetermined electrical potential difference.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the drive approach suitable for a liquid crystal display, for example, the liquid crystal display of the active-matrix configuration which used TFT (thin film transistor), and driving it.

[0002]

[Description of the Prior Art] About the liquid crystal display of a TFT active-matrix configuration, there will be Vol. J72-C-II and a term 943-951 in the Institute of Electronics, Information and Communication Engineers paper magazine and October in 1989, for example. In this example, a part of drive circuit is built in on a transparence substrate. SCAN VOLTAGE used as the video signal of TFT reverses this conventional drive approach for every frame, and the gate voltage (VB) of a drive circuit is repeatedly impressed for every frame, and is not reversed by positive/negative for every frame.

[0003] Moreover, there is a thing of JP, 1-68724, A as a liquid crystal display of the conventional active-matrix configuration. This shows the outline to drawing 12 about the cure against an open circuit of a drain wire (poor display prevention by redundant structure). Two TFT(s) (T1a, T1 b-TNa, TNb) are formed in the pixel (liquid crystal capacity) (E1-EN) located in a line with vertical 1 train, respectively, and it connects with drain wire D1a and D1b, respectively. TFT, TR1, TR2, and TR3 besides a viewing area connect, and these two drain wires form the loop formation. At the time of image display, make electrical-potential-difference  $\phi_1\phi_2\phi_3$  always high-level, and let TFT, TR1, TR2, and TR3 be switch-on. Even if one side of a loop formation, for example, D1a, is disconnected by this, loop-formation D1b of another side is bypassed, and the drain electrical potential difference VD is supplied.

[0004]

[Problem(s) to be Solved by the Invention] The TFT-liquid-crystal indicating equipment is mainly used for the monitor in a microcomputer etc. as a display unit of a small low power. As such an application, a active-matrix liquid crystal display has the problem said that a member cost and the cost price of the driver IC (integrated circuit) which drives TFT (pixel TFT) which drives liquid crystal especially are high compared with CRT (cold cathode tube), although display quality is excellent. On the other hand, the attempt which builds in all [ a part or ] of a transparence substrate top driver IC, and reduces the number of driver ICs occurs at the same time it forms Pixel TFT. Drawing 10 is an example of the circuit. This circuit makes two \*\*\*\*\* a lot among the drain wires D1-DN for video signals, distributes the video-signal electrical potential difference VDD by Sampling TFT (TR1, TR2), and can reduce by half the number of path cords of a drain wire, i.e., the number of the driver ICs by the side of a video signal, as a result.

[0005] The drive wave over the circuit of drawing 10 is shown in drawing 11.

[0006] The drive wave shown here shows the case of a black display with the 2x4 pixels (G1-2, D1-D4) liquid crystal display of a normally white mode.

[0007] As shown in this drawing (a), the clock electrical potential differences  $\phi_1$  and  $\phi_2$  are given into the selection time amount tG of pixel TFT gate voltage VG at the gate of Sampling TFT, respectively.  $\phi_1$  and  $\phi_2$  have phase contrast in the above-mentioned selection time amount tG. The

video-signal electrical potential difference VDD can be distributed according to the timing of  $\phi_1$  and  $\phi_2$  according to the foreground color which corresponds to the corresponding drain wire. VDD of this drawing -- a \*\*\*\*\* drain wire -- the main electrical potential difference VC of the maximum electrical potential difference of VDD, and the minimum electrical potential difference -- or although not illustrated, the electrical potential difference of the symmetry is applied to the electrical potential difference VCOM of the counterelectrode of liquid crystal. The relation of the drain electrical potential difference VD supplied to this drawing (b) from Sampling TFT with gate voltage VG (E1 pixel and E2 pixel) which is Pixel TFT is shown. This VD serves as a drain electrical potential difference of Pixel TFT. [0008] the overlap time amount of the drain electrical potential difference VD to which the trouble of the above-mentioned driving method was supplied from Sampling TFT with gate voltage VG of Pixel TFT to the even-numbered drain wire -- said -- as shown in a (drawing b) E2 pixel drive wave, it is the point which has dropped to  $1/2$  of  $t_G$ . It is the 2nd frame of E2 of this drawing (b) to become especially a problem.  $t_G/2$  and the difference electrical potential difference of VG and VD at that time of the crossover time amount of the minimum electrical potential difference VDL of a drain electrical potential difference and ON gate voltage from which the 1st E2 pixel [ of this drawing (b) ] frame becomes the target electrical potential difference of the source electrical potential difference of Pixel TFT in the selection time amount  $t_G$  of gate voltage are  $\Delta V_{GD}(s)_1$ , and, for two frames, target electrical potential differences are [  $t_G/2$  and the difference electrical potential difference of the maximum electrical potential difference VDH and crossover time amount of a drain electrical potential difference ]  $\Delta V_{GD}(s)_2$ .

[0009] Since the crossover time amount of a pixel E2 serves as half compared with the crossover time amount of a pixel E1 as shown in this drawing (b), as for the charge capacity to the liquid crystal capacity CLC of the pixel TFT connected to TFT of a pixel E2, i.e., the even-numbered drain wire, the charge capacity to be twice many as odd-numbered TFT is needed. Furthermore, it depends for charge capacity not only on crossover time amount but on the value of  $\Delta V_{GD}$  greatly. Charge capacity becomes large, so that  $\Delta V_{GD}$  is large. Usually, since  $\Delta V_{GD1}$  will be about 3 times of  $\Delta V_{GD2}$ , by the conventional drive approach, the charge of two frames of E2 pixel may become the most painful, and the source electrical potential difference VS of an applicable pixel may not reach target VDH. In this case, the permeability of the pixel connected with the even-numbered drain wire increases (when it is a normally white display), and the problem referred to as becoming display unevenness arises.

[0010] Then, the 1st purpose of this invention cancels the lack of charge of the source electrical potential difference impressed to liquid crystal, and is to offer the drive approach of a liquid crystal display without display unevenness.

[0011] Moreover, in the conventional technique, it was not enough taken into consideration about the fall of the manufacture yield by the poor sampling TFT property. The 2nd purpose of this invention has the switching characteristic of Sampling TFT in offering the relief measures of a defect's (increase of flow resistance, fall of cutoff resistance) liquid crystal display.

[0012] Moreover, with the conventional technique, there was a problem that the brightness of a display will fall if the redundant structure of an open-circuit defective pair policy is taken, or the poor short circuit of wiring increased. For example, with said 2nd conventional technique (JP,1-68724,A), drain wiring is taken about on right-and-left both sides of each pixel. For this reason, two drain wires D2 and D3 of another network will be formed in parallel between pixels. Usually, spacing of two drain wires is (10 micrometers or less) And since it became this layer, there was a problem said that the incidence rate of the poor short circuit between drain wires increases. Moreover, by what the area which opaque wiring occupies increases (the drain wire which is the twice which is a pixel number is the need), there was a problem that the brightness of the liquid crystal display of a transparency mold fell. Moreover, forming in two TFT(s) at a time also brought the brightness fall to each pixel.

[0013] The 3rd purpose of this invention is to offer the structure of redundancy wiring without such an increment in a defect, or a brightness fall.

[0014]

[Means for Solving the Problem] This invention attains said three purposes with the following means.

[0015] The 1st purpose of this invention is attained by making the main electrical potential difference of the amplitude value of a drain electrical potential difference into reference voltage, and making it longer than the overlap time amount of the drain electrical potential difference VD which turns into applied voltage to liquid crystal from said reference voltage highly, the drain electrical potential difference VD which turns into applied voltage to liquid crystal lower than said reference voltage in overlap time amount with gate voltage VG of the shape of a pulse which makes Pixel TFT an ON state, and gate voltage VG of the shape of a pulse which makes Pixel TFT an ON state.

[0016] In a production process, the 2nd purpose of the above is attained, when only an object with the good property of Sampling TFT drives the number of driver ICs, without [ 1 / ] mounting a number as usual of driver ICs by carrying out two generations except it, and operating Sampling TFT substantially.

[0017] The 3rd purpose of the above is attained by preparing the switching element which connects the drain wire comrade who drives the next pixel train, and makes the loop formation of drain wiring, and controls closing motion of this loop formation out of a viewing area.

[0018]

[Function] At the time higher than the reference voltage to which the charge capacity of Pixel TFT falls of the drain electrical potential difference VD about the 1st purpose of this invention Overlap time amount with gate voltage VG of the shape of a pulse which makes an ON state the drain electrical potential difference VD and Pixel TFT higher than reference voltage By making it longer than overlap time amount with gate voltage VG of the shape of a pulse which makes an ON state the drain electrical potential difference VD and Pixel TFT lower than reference voltage, the lack of charge of the source electrical potential difference VS used as the applied voltage to liquid crystal is prevented, and a liquid crystal display without display unevenness can be realized.

[0019] It is the main point to have considered as the configuration which can be changed into the drive of a liquid crystal display without the conventional sampling transistor to the 2nd purpose. That is, the drain wire of the \*\*\*\*\* pixel of the side which prepared the sampling transistor is connected through said sampling transistor. Furthermore, the terminal (data input terminal) of normal is prepared in said sampling transistor side, and it is attained by preparing an auxiliary terminal in the drain wire of the opposite side with said sampling circuit. That is, if a driver IC is connected and driven also to an auxiliary terminal side when a sampling transistor starts a malfunction, the defect of the display by the defect of a sampling transistor can be prevented.

[0020] An operation of the redundant structure over the line defect used as the 3rd purpose is explained. Three switching elements for a sampling are inserted in the loop formation of the both sides of a viewing area for the drain wire of an adjacency \*\*\*\* pixel out of the bond and the viewing area in the shape of a loop formation (periphery). That is, the sampling transistor of a one side pixel is maintained at an ON state, and a certain clock electrical potential difference is given into the gate voltage selection time amount of Pixel TFT at the gate of the remaining sampling transistors. Among these, all these sampling transistors are made into switch-on in the first half of gate selection time amount. Even if there is an open-circuit part, electric power is supplied to an electrical potential difference through the sampling transistor prepared in the bottom, and the whole loop formation of a drain line is charged. Then, in the second half, said remaining sampling transistors are intercepted, the potential which is one pixel remains as it is, and the drain line by the side of the pixel of another side is charged. That is, \*\* is charged by the liquid crystal capacity of the pixel of the drain line which finally formed the loop formation. As mentioned above, even if, as for a drain wire, only one forms a redundancy loop formation between each pixel according to this circuitry, short [ between drain wires / poor ] does not increase. Moreover, since the area which wiring occupies does not increase, either, the brightness of a display does not fall, either.

[0021]

[Example] Hereafter, the example of this invention is explained using a drawing.

[0022] Drawing 1 shows one example of the liquid crystal display of the active-matrix mold which used the method of driving this invention.

[0023] The liquid crystal display section 8 prepares TFT, respectively, and it is made to drive each liquid crystal cell by this switching operation of TFT in this drawing to two or more liquid crystal cells (LC) arranged in the shape of a matrix. Here, to the gate lines G1-GM which are the electrodes pulled out in common from each gate of TFT located in a line with the longitudinal direction, gate voltage is impressed one by one from the gate drive circuit 1, and the gate of TFT is turned on for every gate line.

[0024] On the other hand, to the drain lines D1-DN which are the electrodes pulled out in common from each drain of TFT located in a line with the lengthwise direction, for every gate line to which the above-mentioned ON gate voltage was impressed, sequential impression is carried out through a sampling circuit 3 from the data drive circuit 2, and the data electrical potential difference is given to each liquid crystal cell. Moreover, a sampling circuit 3 supplies two or more electrical potential differences  $\phi_1$  and  $\phi_2$ , while having TFT for a sampling to each above-mentioned drain line and impressing pixel TFT gate ON state voltage by the gate terminal of TFT for a sampling. However, although this output voltage  $\phi_1$  and  $\phi_2$  is supplied from the sampling drive circuit 9, a frame is judged and a polarity-reversals command is taken out with the screen control circuit 10 (a control signal is transmitted also to the gate drive circuit 1 or the data drive circuit 2) to the sampling drive circuit 9 (this circuit may be built in the screen control circuit 10) for every frame. Moreover, since the drain signal inputted into a sampling circuit 3 can be packed according to the number of signals of a sampling, the number of the drain lines connected to the data drive circuit 2 from a sampling circuit 3 can be reduced.

[0025] The path cord of a between [ the body of an indicating equipment which formed it in glass substrate top 4 since the number of connection between a sampling circuit 3 and the data drive circuit 2 was reduced corresponding to the number of sampling signals of Sampling TFT when the sampling circuit 3 could be formed in substrate top 4 / made from glass etc. / like Pixel TFT, and an external drive circuit ] can be reduced at least among these circuits, and the data drive circuit 2 can also be simplified. As shown in drawing 10 , when the number of sampling signals is 2, the drain lines D1 and D2 are put together, it connects with a data drive circuit as DK1, and the number of connection of the substrate and the data drive circuit 2 in which Pixel TFT and the sampling circuit 3 were formed as a result can reduce by half the number of driver ICs which constitutes reduction by half 2, i.e., a data drive circuit. Since a sampling circuit 3 can be easily formed at the same process as Pixel TFT, it is effective in the ability to reduce liquid crystal display cost with the effectiveness which made the number of driver ICs the reduction by half.

[0026] Next, actuation of the 1st example is explained using drawing 2 .

[0027] Drawing 2 is drawing showing the driver voltage wave concerning one example of this invention, and shows the case of a black display of a no MARIHO dynamite display. This drawing (a) shows gate voltage  $\phi$  of Sampling TFT, and the relation of the drain electrical potential difference VDD supplied from an external driver IC. The applied-voltage wave to the oddth (D1, D3) and even-numbered (D2, D4) drain wire is shown, respectively. This drawing (b) shows the voltage waveform of VD which is the drain electrical potential difference of E1 and E2 which are the output voltage pixel TFT from gate voltage VG of Pixel TFT, and said sampling TFT. This wave is equivalent to the oddth (here pixels E1 and E3 of D of one line) to Pixel TFT of drain wire, and even-numbered (here pixels E2 and E4 of D of two lines) drive wave to the 1st of the circuit of drawing 10 R> 0, G1 [ i.e., ], respectively. In a white display, an electrical potential difference equal to the main electrical potential difference VC of the maximum of VD electrical potential difference and the minimum value or the electrical potential difference VCOM of a counterelectrode should just be applied.

[0028] In this example, the electrical potential difference of  $\phi_1$  and  $\phi_2$  which is the gate voltage of TR1 and TR2 of Sampling TFT in two frames is reversed for every frame with the 1st frame, and VDD is not reversed for every frame. On the other hand, by the conventional driving method, as drawing 11



showed,  $\phi_1$  and  $\phi_2$  were not reversed for every frame, but VDD is reversed conversely.

[0029] When the drain electrical potential difference VD from which the charge capacity of Pixel TFT becomes a problem will be higher than reference voltage VC as shown in this drawing (b) if the method of driving this invention is used, Namely, the crossover time amount of gate voltage VG in the case (namely,  $\Delta V_{GD2}$ ) of being small of  $\Delta V_{GD}$  and the drain electrical potential difference VD serves as tG. Conversely, crossover time amount when the drain electrical potential difference VD which has allowances in charge capacity is lower than reference voltage VC, namely,  $\Delta V_{GD}$  has it (namely,  $\Delta V_{GD1}$ ) is set to tG/2. [ large ] Even if crossover time amount is set to tG/2, since  $\Delta V_{GD1}$  is sufficiently large, in the display engine-performance top of a liquid crystal display, charge capacity does not become large a problem. Thus, according to this drive approach,  $\phi_1$  and  $\phi_2$  corresponding to tG period have priority to the drive conditions of pixel TFT charge capacity which become small, and charge is performed, and since crossover time amount of VG and VD can be lengthened, generating of the display unevenness by the lack of charge can be prevented.

[0030] Drawing 3 measures the charge capacity over Pixel TFT for the case of  $\Delta V_{GD1}$  and  $\Delta V_{GD2}$ . Here, 21V and the minimum electrical potential difference VDL of  $\Delta V_{GD}$  to which the electrical potential difference to which drawing 2 (b) corresponds is 5V, and, as for 35 microseconds (the number of gate lines 480 displays correspondence) and VD, VG corresponds [ the pulse voltage of 0V to 25V and tG / the maximum electrical potential difference VDH ] are  $\Delta V_{GD1}=20V$  and  $\Delta V_{GD2}=4V$ . For Pixel TFT,  $0.5\text{cm}^2/(\text{Vs})$  and threshold voltage of mobility are 2V in 5 with amorphous silicon TFT, the ratio, i.e., W/L, of channel length and channel width. The charging rate at the time of  $\Delta V_{GD1}=20V$  is shown on the axis of abscissa at the charging rate and axis of ordinate over the source electrical potential difference at the time of  $\Delta V_{GD2}=4V$ . The charging rate of  $\Delta V_{GD1}=20V$  is very higher than the charging rate of  $\Delta V_{GD2}=4V$  so that clearly [ in this Fig. ]. For example, when the charging rate of  $\Delta V_{GD2}$  is 60%, the charging rate of  $\Delta V_{GD1}$  reaches to 99.7% or more.

[0031] Thus, since crossover time amount of VD of VG and Pixel TFT can be lengthened so that  $\phi_1$  and  $\phi_2$  corresponding to tG period may have priority to the drive conditions of pixel TFT charge capacity which become small and charge may be performed if this driving method is used, the lack of charge can offer the liquid crystal display which the display unevenness of a cause does not generate.

[0032] The outline perspective view of one example of the microcomputer of a laptop type (or book mold) using the drive approach of the liquid crystal display concerning this invention is shown in drawing 4. The liquid crystal display 6 which serves as a display monitor at this possesses by using a keyboard 5 as a body. Then, it is what built in the liquid crystal display of this invention, and the signal of the built-in microcomputer is inputted into a screen control circuit, and said display monitor judges the contents of a display, and transmits a signal in a gate drive circuit, a data drive circuit, and a sampling drive circuit, respectively. The drive approach uses the drive approach of the above-mentioned example 1, can form a sampling circuit on the same substrate as Pixel TFT, and can realize the microcomputer of a price lightweight cheap moreover while the monitor of an image which was excellent in display quality can be realized.

[0033] Next, the 2nd example of this invention is explained. The drive approach of this invention is shown in drawing 5. The target circuit is realizable in the same circuit as the circuit of drawing 1. The description of this invention is a point driven on a predetermined electrical potential difference with gate voltage VG higher than gate voltage VG at the time of the drain electrical potential difference VD lower than reference voltage at the time of the drain electrical potential difference VD higher than the reference voltage to which charge of Pixel TFT becomes painful. This drive approach distinguishes the change rate of a frame in the screen control circuit 10, and can realize it by carrying out adjustable [ of the electrical potential difference of the approach of transmitting this signal to the data drive circuit 2 together with a data signal, and raising a drain electrical potential difference in the data drive circuit 2, and the signal transmitted to the data drive circuit 2 from the screen control circuit 10 ] for every frame. If this drive approach is used, since difference electrical-potential-difference  $\Delta V_{GD}$  of gate voltage

$V_G$  and the drain electrical potential difference  $V_D$  can be enlarged even when overlap time amount with gate voltage  $V_G$  at the time higher than reference voltage of  $V_D$  is short, if  $\Delta V_{GD}$  is set as the predetermined value which the lack of charge at the time higher than reference voltage of  $V_D$  does not produce, the lack of charge can offer the liquid crystal display which the display unevenness of a cause does not generate. Although it is needless to say, charge capacity can be further raised by combining the drive approach of this example, and the drive approach of an example 1.

[0034] Next, the 3rd example of this invention is shown in drawing 6 and drawing 7. The equal circuit of this invention is shown in drawing 6, and a configuration is shown in drawing 7.

[0035] It explains by making 2x4 pixels into an example like the first invention. This example forms Sampling TFT up and down to a gate line, as shown in drawing 6. The drain lines D1 and D2 are connected with a data drive circuit through TR1 and TR2 of Sampling TFT, respectively, and the drain lines D3 and D4 are connected with the data drive circuit through TR3 and TR4 of Sampling TFT, respectively. Although the number of path cords of a sampling circuit and a data drive circuit is the same as an example 1, since it becomes twice compared with the circuit which explained the connection pitch between the sampling circuit of the upper part of a substrate, or the lower part, and a data drive circuit in the example 1 since the sampling circuit was distributed to the substrate upper and lower sides, in a highly minute liquid crystal display with many drain wiring, connection becomes easy, and the yield fall by the faulty connection can be pressed down.

[0036] Drawing 7 shows the configuration of the liquid crystal display of the active-matrix mold which used this driving method. TFT is prepared, respectively, and a sampling circuit 3 is formed in the same substrate 4, and it is made to drive each liquid crystal cell by the switching operation of Above TFT on a substrate 4 in this drawing to two or more liquid crystal cells (LC) arranged in the shape of a matrix. Here, to the gate lines G1-GM which are the electrodes pulled out in common from each gate of TFT located in a line with the longitudinal direction, gate voltage is impressed one by one from the gate drive circuit 1, and the gate is turned on for every gate line. On the other hand, to the drain lines D1-DN which are the electrodes pulled out in common from each drain of TFT located in a line with the longitudinal direction, sequential impression is carried out through a sampling circuit 3 from the data drive circuit 2, and the data electrical potential difference for every gate line by which ON was carried out [ above-mentioned ] is given to each liquid crystal cell. Moreover, like, it has Sampling TFT to each above-mentioned drain line, and a sampling circuit 3 supplies two or more electrical potential differences  $\phi_1$  and  $\phi_2$ , while [ pixel TFT gate voltage turns on in the gate voltage of Sampling TFT ] being shown in drawing 6. Thereby, according to the number of samplings, a drain line is put together and connected to the data drive circuit 2 from a sampling circuit 3. If a sampling circuit 3 is formed on a substrate made from glass etc. like Pixel TFT at least as shown in drawing 7 among these circuits, corresponding to the number of samplings, the number of connection of a sampling circuit 3 and the data drive circuit 2 can be reduced. A sampling circuit 3 is formed like Pixel TFT on a substrate 4 (transparence substrate which usually consists of glass etc.). When the number of samplings is 2, it is made a bundle, connect with a data drive circuit as DK1, and the drain lines D1 and D2 are pulled out from the upper part. The drain lines D3 and D4 are put together, and are pulled out from the lower part as DK2. It connects with the data drive circuit 2, respectively, and the number of connection of the substrate and the data drive circuit 2 in which Pixel TFT and the sampling circuit 3 were formed as a result can reduce by half the number of driver ICs which constitutes a reduction by half, i.e., a data drive circuit. Since a sampling circuit 3 can be easily formed at the same process as Pixel TFT, it is effective in the ability to reduce the cost of a liquid crystal display with the effectiveness which made the number of driver ICs the reduction by half. In this invention, since the drawer of wiring is performed up and down compared with the example 1, the connection pitch of the substrate and the external driver IC circuit in which Pixel TFT was formed doubles compared with an example 1, and there is the description said that the dependability of connection improves remarkably. The drive approach of this invention is fundamentally the same as an example 1. Of course, the drive approach of an example 2 can be used.

[0037] Next, the 4th example of this invention is shown. Drawing 8 and the drive approach are shown for the equal circuit of this invention in drawing 9. Although the equal circuit shown in drawing 8 is the case where the number of samplings is four pieces, even if there are many these numbers, naturally it is satisfactory. Therefore, it becomes a bundle from four drain lines through the sampling circuit formed on the same substrate as Pixel TFT, and connects with an external data drive circuit. Therefore, when the number of drive ICs by the side of a drain is reduced by the quadrant, it is effective in the ability to reduce a price sharply.

[0038] Drawing 9 (a) shows the timing chart of a driver voltage wave of VDD which is the output voltage from  $\phi_1$ – $\phi_4$ , and a data drive circuit which is the gate voltage to the sampling TFT to the drain wires D1–D4 of drawing 7. This drive wave shows the case which indicates the liquid crystal display of a normally white mold by black. In this drawing, the 1st in tG period impresses the drain electrical potential difference VD higher than reference voltage VC within tG period corresponding to  $\phi_1$  and  $\phi_2$ , and it reverses all of  $\phi_1$ – $\phi_4$  by the 2nd frame. The electrical potential difference VD higher than reference voltage VC can be impressed to  $\phi_3$  and  $\phi_4$  at the 2nd frame within tG period by this. Therefore, in the relation between VG and VD shown in this drawing, it sets to E1 pixel. The overlap time amount with VD with the overlap time amount of VG and VD higher than reference voltage VC lower than tG and reference voltage VC is set to tG/2 and E2 pixel. The overlap time amount with VD with the overlap time amount of VG and VD higher than reference voltage VC lower than 3/4xtG, and reference voltage VC is set to tG/4 and E3 pixel. The overlap time amount with VD with the overlap time amount of VG and VD higher than reference voltage VC lower than tG and reference voltage VC is set to tG/2 and E4 pixel. The overlap time amount with VD with the overlap time amount of VG and VD higher than reference voltage VC lower than 3/4xtG, and reference voltage VC is set to tG/4, and, in all cases, it sets as a result. The overlap time amount of VG and VD higher than reference voltage VC becomes longer than overlap time amount with VD lower than reference voltage VC. This can offer the liquid crystal display which has an improvement effect remarkably to the display unevenness by the lack of charge compared with the case where the overlap time amount of VG and VD higher than reference voltage VC is set to tG/4 in the conventional drive approach.

[0039] Although the case where the numbers of samplings were two pieces and four pieces was shown above in the example, it cannot be overemphasized that this drive approach can use this also to other numbers of samplings. Moreover, in the above example, although the case where a sampling circuit formed on the same substrate as Pixel TFT was shown in the example 1 for example, even if it gives the function of this sampling TFT to an external driver IC, this drive approach is employable.

[0040] Next, as the 5th example, the example of the property defective pair policy of the sampling transistor which is the 2nd purpose of this invention is explained.

[0041] An example of the circuit is shown in drawing 18. In drawing 18, the reserve terminal TDR which supplies an electrical potential difference also to drain wire D1 edge of the side which does not form the sampling transistors TR1 and TR2 from a driver IC is formed. If it is made said configuration, the property of a sampling transistor will be inspected before mounting of a driver IC by the production process, and, in the case of a defect, a driver IC (DD1, DD2) will be connected not only at the terminal by the side of a sampling transistor but at a spare terminal side. For example, the drive in the case of being the defect (for example, flow resistance having increased and cutoff resistance having fallen) to whom the switching characteristic of a sampling transistor fell is considered. The sampling signal  $\phi_1$  is made into high level,  $\phi_2$  is made into a low level, and a flow and TR2 are intercepted for the transistor TR1. At this time, the electrical potential difference corresponding to pixels E1 and E2 is supplied to Terminals TD and TDR from the driver IC prepared in a top and the bottom, respectively. By attaching drain wire D1 and linking DD2 of the low driver IC of output resistance directly, even if cutoff resistance of TR1 is falling a little, since an electrical potential difference predetermined in the electrical potential difference of a drain wire D1 from DD2 of a driver IC is supplied, DD1 of a driver IC is not influenced of the sag supplied. Moreover, about a drain wire D2, it is that which TR2 should just charge using all the

gate selection time amount of the pixel section (twice in a sampling transistor drive), even if flow resistance of TR2 is increasing a little, sufficient charge can be performed, and there is no problem. In addition, although the number of a driver IC is not halved in this case, finally a manufacturing cost can be lowered by relief of a defective.

[0042] Drawing 19 is the planar structure Fig. of a liquid crystal display, and corresponds to the representative circuit schematic of drawing 18. 8 pixels of the upper left hand corner of a display were shown. 330 micrometers by 110 micrometers and the number of pixels actually arrange [ a pitch ] a pixel in the shape of [ of vertical 480 width 1920 ] a matrix. The transparent electrode ITO (indium oxide) was used for the electrode E of each pixel (liquid crystal capacity) in this example. TVD1 and TVD2 are the drain electrical-potential-difference supply terminals from an external drive circuit, the former is the terminal of normal, the latter is a reserve, and each pitch of a terminal is 180 micrometers. The thin film transistor to which the sampling transistors TR1 and TR2 make the polycrystalline silicon film an active layer, and the pixel transistor TE are thin film transistors which make amorphous silicon an active layer. D4, the gate lines G1 and G2, the gate line phi 1 of a sampling transistor, and phi2 line are laminating wiring which consists of aluminum, Cr, ITO, etc. from a drain wire D1. although not illustrated -- as an external drive circuit -- the driver IC of 160 outputs -- TAB (tape automated bonding) -- it mounts by law and uses. Usually, an external drive circuit is mounted only in a terminal TVD1, and an external drive circuit is mounted in both TVD1 and TVD2 about the liquid crystal display with which it judged that a TFT property is poor by the inspection in the middle of manufacture. In addition, if it is the terminal of normal and a reserve, and a terminal pitch is made equal and the function of a driver IC is carried out by being equivalent, the completely same driver IC can be used. When a driver IC is connected to the terminals TVD1 and TVD2 of both sides, always let the sampling transistors TR1 and TR2 be cutoff and switch-on, respectively. Thereby, the even-numbered drain wires D2 and D4 can be driven by the driver IC by the side of TVD1, and the odd-numbered drain wires D1 and D3 can be driven by the driver IC by the side of TVD2.

[0043] In this example, although Sampling TFT is formed in each drain wire, even if it is referred to as TFT and 1 or 1 TR like drawing 22 at two drain wires and forms the reserve terminal TVDR, the redundancy effectiveness over the poor property (flow resistance rise) of TFT is acquired. Remedy in case a TFT property is a defect is the same as that of said example. That is, a clock pulse phi 1 is always made into a low level, and TFT and TR1 are intercepted. Electric power is supplied to Terminals TVDR and TVD in electrical potential differences VDDR and VDD from an external drive circuit, respectively as a drain wire and an electrical potential difference corresponding to D1 and D2. At this time, a drive wave when a sampling TFT property is normal is shown in drawing 23. In the pixel of the odd-numbered drain wire, it is in halftone and the condition which shows black in the pixel of the even-numbered drain wire. The drain electrical potential difference VDD supplied from the outside is reversed for every frame and every gate line. That is, in the 1st frame (odd frame), when an electrical potential difference VG 1 is impressed to the odd-numbered [ for example, ] 1 Motome's gate line, VDD is taken as negative polarity, when VG2 is impressed to the straight polarity and even-numbered [ for example, ] 2 Motome. In the 2nd frame, it becomes this reverse. And when VDD is straight polarity, the pulse width TGH of negative polarity of the pulse width TGL of gate voltage is 23 microseconds for 46 microseconds. Although the substantial charging time of TFT is set to this 1/2, since straight polarity is longer than negative polarity, sufficient charging rate can be acquired and the electrical potential difference shown by VS11 and VS12 is impressed to liquid crystal.

[0044] The diagnosis of a poor TFT property is explained. A liquid crystal process is completed, and before an inspection judging mounts a driver IC, it is performed. Supply a signal to a liquid crystal display using a many-items child prober large-sized to inspection etc., a liquid crystal display is made to turn on in simulation, and it investigates. The driving method is performed based on the driving method shown by drawing 2. Yes, however, about the gate voltage of a pixel transistor, the other gate voltage (from VG1 to VG480) always makes a low only the about (from gate voltage VG1 to namely, VG10) ten upper parts

of a display. If normal, the upside width of face for ten lines will serve as white with a black stripe except it (in the case of the liquid crystal in no MARI White mode). When sampling transistor characteristics are defects, the bright line of a lengthwise direction appears in the part of the sampling TFT of a defect in a black stripe.

[0045] Drawing 21 is the structure of a system. Since the source VRAM of a picture signal of a microcomputer serves as data permutation for making the Braun-tube indicating equipment CRT turn on, signal transformation is carried out to liquid crystal displays by data converter TCON. In this example, it is necessary to change the drive approach according to the property of a sampling transistor. Two kinds of data conversion features are made to build in beforehand in a data converter, and the either is chosen according to the change signal S of a conversion method. A drive method is not started by this but share-ization of Inverter TCON can be attained.

[0046] Next, the liquid crystal display which formed the loop formation of a drain wire as the 6th example, and was made into the redundant structure over an open circuit is explained. The equal circuit of this example and a drive wave are shown in drawing 13 and drawing 14, respectively.

[0047] Drawing 13 is what showed the important section of an equal circuit, and has inserted three TFT, TR1, TR2, and TR3 in the loop formation for the drain wires D1 and D2 of the pixels E1 and E2 of the first train and the second train as a switching element out of the bond and the viewing area in the shape of a loop formation (periphery). The drive wave of this circuit changes with generating parts of an open circuit of a drain. When the open circuit of a drain has not occurred probably, phi 3 is always made into a low level, TR3 is intercepted, and the other (phi 1, phi2 grade) actuation is the same as the actuation explained for the 1st purpose. Next, the drive wave of drawing 14 explains actuation when a drain open circuit occurs on D1. The clock electrical potential difference phi 2 presupposes that it is always high-level, and maintains TR2 at switch-on. Some clock electrical potential differences phi1 and phi3 are given into the gate voltage selection time amount tG of Pixel TFT at the gate of Sampling TFT. Among these, in the first half of tG, both TR1 TR2 and TR3 are made into switch-on with these clocks. Electric power is supplied to an electrical potential difference by the open-circuit part XD bottom in TR2.D2 and the path of TR3 and D1, and the whole loop formation of the drain lines D1 and D2 is charged to VD level. Then, in the second half, TR1 and TR3 are intercepted, the potential of the drain line D1 remains as it is, and only the drain line D2 is charged to VD level. That is, finally an electrical potential difference VD is charged by the liquid crystal capacity of pixels E1 and E2. the gate selection time amount tG of the 2nd frame -- a clock pulse -- the 1st frame -- the same -- only the positive/negative of a drain electrical potential difference is replaced. Finally, an electrical potential difference VD is charged by the liquid crystal capacity of pixels E1 and E2. The alternating current drive of the liquid crystal is carried out by the 1st and the repetition of the 2nd frame. What is necessary is just to replace the inside phi1 and phi3 of the drive wave of drawing 14, when an open circuit occurs on D2. Even if, as for a drain wire, only one forms a redundancy loop formation between each pixel according to this circuitry, short [ between drain wires / poor ] does not increase. Moreover, since the area which wiring occupies does not increase, either, the brightness of a display does not fall, either.

[0048] Moreover, according to this structure, poor manufacture can be discovered by the initial stage of the production process of a liquid crystal display, and prevention (cost reduction) of an unnecessary activity is attained. the process (TFT process) at which the production process of a liquid crystal display forms a thin film transistor and its circuit on (1) glass substrate, and (2) -- the process (liquid crystal process) which this is made to counter one more glass substrate, encloses liquid crystal between them, and forms liquid crystal capacity, and (3) -- it can divide roughly into three of processes (module process) which connects a drive circuit to the exterior. It is required for manufacture cost reduction to discover the defective of playback impossible in an early phase, and to be unable to progress to a back process. With this structure, it is the phase of TFT process termination and the short-circuit between drain wires can be detected. Namely, what is necessary is to make TR2 and TR3 to TR1, to make switch-on and TR3 into a cut off state, and just to carry out the continuity check

between VDD and VDDN. Although it does not flow between both-ends children, when the short-circuit between drain wires occurs, it will be in switch-on and a defect can always [ forward ] detect.

[0049] Drawing 15 shows the planar structure of the important section of the liquid crystal display explaining this example. 330 micrometers by 110 micrometers and the number of pixels arrange [ the pitch ] the pixel in the shape of [ of vertical 480 width 1920 ] a matrix. A transparent electrode ITO (indium oxide) is used for the electrode of the liquid crystal capacity LC of each pixel. The former is [ the terminal of normal and the latter of TVD1 and TVD2 ] reserves with the drain electrical-potential-difference supply terminal from an external drive circuit, and each pitch of a terminal is 180 micrometers. The thin film transistor to which the sampling transistors TR1, TR2, and TR3 make the polycrystalline silicon film an active layer, and the pixel transistor TE are thin film transistors which make amorphous silicon an active layer. Drain wire D, the gate line G, and the gate line phi line of a sampling transistor are laminating wiring which consists of aluminum, Cr, ITO, etc. A drain wire is made into the drain wire and pair of horizontal \*\*, and forms the loop formation of the sampling transistors TR1, TR2, and TR3. According to this structure, in spite of having redundant structure over an open circuit, it is [ that one drain wire is only formed between each pixels E, and ]. For this reason, an open circuit of a drain is relieved, without the distance between drain wires (pixel pitch 330micrometer) increasing in the conventional state (i.e., the short-circuit between drain wires). Moreover, since the rate (about 7%) of surface ratio which an opaque drain wire (line breadth of 8 micrometers) occupies does not increase, the brightness of a liquid crystal display does not fall as redundant structure.

[0050] In addition, in this drawing, capacity is formed in the gate line of the front row (inserting an interlayer insulation film) in piles for some electrodes of the liquid crystal capacity LC. This is equivalent to having made liquid crystal capacity increase, and it has the effectiveness of reducing a wave-like distortion impressed to liquid crystal. Even if it does not form this retention volume, the meaning of this invention is not spoiled.

[0051] Moreover, in this drawing, Wiring GND is formed between Pixel E and samplings TFT, TR1, and TR2. Capacity CLC is formed by carrying out the laminating of drain wires D1 and D2 and the wiring GND through an interlayer insulation film. Wiring GND is grounded electrically. Capacity CLM has the effectiveness of making a wave-like distortion impressed to a drain wire penetrating. Even if it omits these wiring GND and capacity CLM, the meaning of this invention is not spoiled.

[0052] It is the description that the defect of a circuit is relievable because this example changes the drive approach etc. When there is almost no defect, a display action is carried out by the drive shown in drawing 2 . It is relievable by driving to a drain open circuit by the approach which supplied the drain electrical potential difference to TVD from the external drive circuit, and was shown in 14 Fig. Moreover, the poor property (rise of fall flow resistance of the ON state current) of a sampling transistor is relievable. For example, when TR1 or TR2 are a defect, it is also completely the same as that of an open circuit of a drain wire, and a display action is possible at the same drive as 14 Figs. When both TR1 and TR2 are poor, a drain electrical potential difference is supplied from Terminal TVR. In this case, phi1 and phi2 are always made into a low level, TR1 and TR2 are made into a cut off state, and switching of TR3 distributes an electrical potential difference to two drain wires. That is, about a drive wave, a display action becomes possible by having always transposed the inside phi1 and phi2 of the drive wave of drawing 14 to a low level. In addition, it becomes painful about charge actuation of TFT of straight polarity except what was shown in drawing 2 among these driving methods. The driving method which reinforces charge capacity by taking up and down of gate voltage as the temperature requirement which a liquid crystal display uses in these cases was restricted or it was shown in the 2nd example ( drawing 5 ) is adopted. .

[0053] In this example, as the foregoing paragraph described, short [ between drain wires / poor ] can be discovered by the initial stage (before liquid crystal enclosure) of the production process of a liquid crystal display, and prevention (cost reduction) of an unnecessary activity is attained.

[0054] In addition, in this example, 1 pixel is constituted from one TFT and one pixel electrode, and the

pixel itself does not have redundant structure. The meaning of this invention does not spoil this as redundant structure. for example, as shown in the circuit of drawing 20 , it is alike, and a 1-pixel pixel electrode may be divided into two sub-picture elements Ea and Eb, it may be alike, respectively, and TFTTa and Tb may be prepared.

[0055] Moreover, as shown in drawing 24 , you may form two samplings TFT at a time up and down. This drawing omits the circuit of the pixel section and expresses only samplings TFT, TR1, TR2, and TR3 and TR4 relation. If it depends on this configuration, Terminal TVD and TVDR will completely serve as equivalence. When both samplings TFT, TR1, and TR2 are defective continuity, a driver IC is connected to TDR and the completely same drive as always [ forward ] can be performed. Namely, TR1 and TR2 are always intercepted by making clock pulses phi1 and phi2 into a low level. And an equivalent drive can be performed by transposing the inside phi1 and phi2 of the driving method shown in drawing 1 to phi3 and phi4.

[0056] Next, the liquid crystal display which formed the loop formation with three adjoining drain wires as the 6th example is explained. Drawing 16 is the circuit of a liquid crystal display. In addition, the circuit in displays, such as a pixel transistor, is omitted in this drawing. Three adjoining drain wires D1, D2, and D3 are connected through the sampling transistors TR1, TR2, and TR3, and the loop formation is formed. An electrical potential difference VDD1 is supplied from the external drive circuit which is not illustrated to this loop formation. In addition, although an electrical potential difference VDDR is mentioned later, it is not usually supplied. The clock signal of phi 1 to phi 6 is also supplied from the outside. Although the drive approach of this circuit changes with generating situations of an open circuit of a drain wire, having no open circuit or a drive wave when an open circuit occurs in a drain wire D1 or D2 is shown in drawing 17 . The gate voltage selection time amount tG of a pixel is trichotomized into tphi1, tphi2, and tphi3, and clock pulses phi1, phi2, and phi3 are added. all clock pulses are high-level during the period of tphi1 -- becoming -- a sampling transistor -- flowing -- three drain wires D1, D2, and D3 -- all are charged by the voltage level V1 which should be supplied to a drain wire D1. Even if a drain wire D1 has an open circuit, since electric power is supplied also from the bottom through TR3, D3, TR6, and TR4, the D3 whole is charged to a predetermined electrical potential difference. Then, phi1 and phi2 become a low at the period of tphi2, TR1 and TR4 are intercepted, and an electrical potential difference V1 is held D1. An electrical potential difference V2 is charged by D2 and D3. Even if an open circuit is on D2 in that case, an electrical potential difference predetermined in the whole line is charged like an open circuit of D1. Finally an electrical potential difference V3 is charged by only D3 at the period of tphi3. V1, V2, and V3 are charged by the pixel (liquid crystal capacity) driven with drain wires D1, D2, and D3, respectively. What is necessary is just to charge the drain wire of D3 first, when an open circuit occurs on D3. namely, drawing 17 -- inside, phi1 and phi4, and phi3 and phi6 -- what is necessary is just to replace V1 and V3 again, respectively [ for example, ] It is relievable also to poor \*\*\*\* of a sampling transistor with modification of the same driving method. In addition, when TR1, TR2, and TR3 all are poor \*\*\*\*, a drive completely equivalent to drawing 17 can be performed by supplying the reserve driver voltage VDDR in drawing 17 .

[0057] Although the loop formation was formed with the drain wire of 2 or 3 units in the example described above, this invention can apply this also as four or more by the same circuit and the driving method. In the example described above, although the redundancy circuit about a drain wire has been shown, this invention is applicable also to a gate line side. For example, drawing 25 is the example which formed the loop formation by two gate lines, and carried out redundancy to the open circuit of a gate line, and shows the related section of the 1st and the 2nd gate lines G1 and G2 from on the display. Although not illustrated, a \*\*\*\* position and the oddth are connected two [ at a time ] through Sampling TFT, and the gate line of the 3rd henceforth also forms the loop formation. The gate lines G1 and G2 are connected through samplings TFTTR1, TR2, TR3, and TR4, and the loop formation is formed. Drawing 26 shows the case where were the drive wave, and displayed halftone in the pixel of the odd-numbered gate line (G1), and it displays black by the even-numbered pixel with the liquid crystal in no

MARI White mode. Clock pulses  $\phi_1$ ,  $\phi_3$ , and  $\phi_4$  presuppose that it is always high-level, and make switch-on samplings TFT, TR1, TR3, and TR4. The gate voltage VDG supplied to Terminal TG from the exterior is distributed to the gate lines G1 and G2 by impressing a clock  $\phi_2$  to TR3. Electrical potential differences VS1 and VS2 are impressed to the liquid crystal of the even-numbered gate \*\*\*\*. The electrical potential difference VDG given from the outside to the loop formation of the gate line after 3 Motome, for example, a loop formation (2n position and 2n+1 position), although not illustrated serves as the form where only time amount (n-1) tG delayed VDG shown in drawing 26. When samplings TFT, TR1, and TR2 are defective continuity, TR1 and TR2 are always intercepted, gate voltage VDGR is supplied from the reserve terminal TGR, and samplings TFT and TR4 distribute an electrical potential difference to the gate lines G1 and G2.

[0058] The important section of the active-matrix circuit for explaining other examples of this invention to drawing 27 is shown. Two TFT, TR1, and TR2 are inserted in the loop formation for the drain wires D1 and D2 of the pixels E1 and E2 of the first train and the 2nd train as a switching element out of the bond and the viewing area in the shape of a loop formation (periphery). In the usual drive,  $\phi_2$  is always made into a low level, and TR2 is intercepted. Others serve as the completely same drive as drawing 23. That is, although the drain electrical potential difference VDD is not illustrated, it is supplied to Terminal TVD from an external drive circuit (driver IC). TR1 is switched by the clock pulse of  $\phi_1$ , and an electrical potential difference VDD is distributed to drain wires D1 and D2. On the other hand, when TR1 of TFT is a poor property (increase of flow resistance), TR2 of TFT is operated as sampling TFT. That is, the external drive circuit (driver IC) which is not illustrated is connected to Terminal TVDR (it does not connect with TVD), and the drain electrical potential difference VDDR is supplied to Terminal TVDR.  $\phi_1$  is always made into a low level, and TR1 of TFT is intercepted. The clock pulse shown by  $\phi_1$  in drawing 23 is impressed to  $\phi_2$ . It is a drive equivalent to drawing 23 fundamentally, and the number of output terminals of a driver IC is good in the one half of a drain wire number. On the other hand, each of TR1 and TR2 of TFT connects the terminal TVD of both sides, and the driver IC of all TVDR(s) to the case of a poor property (increase of flow resistance). And each of  $\phi_1$  and  $\phi_2$  is always made into a low level, and TR1 and TR2 of TFT are made into the cut off state. Thereby, a drain wire D2 is driven by the top driver IC, and a drain wire D1 is driven by the bottom driver IC. In this case, the number of output terminals of a driver IC becomes the same as a drain wire number. In addition, in said two persons, the same clock pulse as both  $\phi_1$  and  $\phi_2$  may be added in in [ which was described above ] three.

[0059] Next, the liquid crystal device used for this invention is explained.

[0060] The light-scattering mold liquid crystal of drawing 28 is a liquid crystal ingredient which takes a SUMESU tic A phase. SUMESU tic A phase liquid crystal takes the orientation condition which presents the light-scattering property called focal conic structure, while not impressing electric field. On the other hand, when electric field are impressed, the HOMEOTORO pick structure 102 where the molecule major axis was arranged in the direction of electric field is taken, and it will be in a transparence condition.

[0061] Polymer distributed liquid crystal is shown in drawing 29 as light-scattering mold liquid crystal.

[0062] Polymer distributed liquid crystal has structure which included the nematic liquid crystal 82 in the shape of a capsule in the organic material 81, for example, polyvinyl alcohol. At this time, since orientation of the nematic liquid crystal molecule is carried out at a level with the wall surface of a capsule, the rate of showing the direction of a minor axis of a molecule in the vertical direction in drawing to the light which carries out incidence in the polymer distribution liquid crystal which has the cross-section structure of an ellipse form a little will be high. On the other hand, since orientation of it will be carried out so that a major axis may be turned in the direction of electric field as the nematic liquid crystal molecule was illustrated if the electrical potential difference of the source 83 of driver voltage is impressed, incidence of the incident light will be carried out from a molecule major axis. In the polymer distributed liquid crystal from which the refractive index of the organic material 81 and the



refractive index of the direction of a molecule major axis were chosen at this time so that it might become almost equal, since the refractive index of organic material and liquid crystal becomes almost equal when light scattering arises in the interface of a capsule since the refractive indexes of organic material and liquid crystal differed when not impressing electric field, and electric field are impressed, there is no light scattering, and it becomes transparence.

[0063] The example of other light-scattering mold liquid crystal is shown in drawing 30 .

[0064] as for the light-scattering mold liquid crystal of drawing, a nematic liquid crystal is filled in the gap of organic material as a nematic liquid crystal did not become capsule-like (an outline — spherical) but showed with the point that the nematic liquid crystal 92 is included, in the organic material 91 at drawing 30 , although it was the same as that of the example of drawing 29 .

[0065] Although the optical behavior to the existence of electric field is the same as that of the example of drawing 29 , since the direction of electric field has much liquid crystal section penetrated to inter-electrode, it is the description that driver voltage is low made compared with polymer distributed capsule-like liquid crystal.

[0066] Thus, if it is made light-scattering mold liquid crystal, the polarizing plate which was required for the liquid crystal display of a conventional TN mold can be lost, a display can be made thin, and also brightness can be doubled [ over the past ].

[0067] The external drive circuit was connected to either of the connection terminals of normal and a reserve, or its both, and it was made to operate in the example described above. Even if it forms these drive circuits on the same substrate as the pixel section TFT, the main point of this invention is not spoiled. In this case, the drive circuit with an equivalent function of normal and a reserve is formed on the same substrate as the pixel section TFT, and a liquid crystal display is operated by choosing either and operating it. When carrying out consistent manufacture of Pixel TFT and the drive circuit on the same substrate, even if normal and a reserve form two drive circuits from the start, it is because a manufacturing cost does not increase but defect relief is attained.

[0068]

[Effect of the Invention] According to this invention, the display unevenness resulting from the lack of charge to the liquid crystal capacity of a thin film transistor can be abolished. Moreover, since the liquid crystal display which contained a part of drive circuit can be driven without the lack of charge, sharp reduction of the number of driver ICs is attained. The dependability of connection also improves sharply. Enable open circuit of wiring and relief of which defective with an insufficient TFT property, and a yield improves. By the above, the microcomputer equipment which carried the liquid crystal display and liquid crystal display of high quality by the low price can be offered.

---

[Translation done.]

#### **\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### **DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the driver voltage wave concerning one example of this invention.

[Drawing 2] Drawing showing the relation of the drive capacity and the electrical potential difference concerning one example of this invention.

[Drawing 3] The block diagram of the liquid crystal display concerning one example of this invention.

[Drawing 4] The perspective view of the microcomputer concerning one example of this invention.

[Drawing 5] Drawing showing the driver voltage wave concerning one example of this invention.

[Drawing 6] The equal circuit concerning one example of this invention.

[Drawing 7] The block diagram of the liquid crystal display concerning one example of this invention.

[Drawing 8] The equal circuit concerning one example of this invention.

[Drawing 9] Drawing showing the driver voltage wave concerning one example of this invention.

[Drawing 10] The circuit diagram of the liquid crystal display of a method with a built-in drive circuit.

[Drawing 11] Drawing showing the driver voltage wave in the conventional approach.

[Drawing 12] The circuit diagram of the conventional liquid crystal display.

[Drawing 13] The circuit of the liquid crystal display explaining an operation of this invention.

[Drawing 14] Drawing showing the driver voltage wave explaining an operation of this invention.

[Drawing 15] The planar structure Fig. of the liquid crystal display concerning one example of this invention.

[Drawing 16] The circuit diagram of the liquid crystal display concerning one example of this invention.

[Drawing 17] The driver voltage wave concerning one example of this invention.

[Drawing 18] The circuit diagram of the liquid crystal display concerning one example of this invention.

[Drawing 19] The planar structure Fig. of the liquid crystal display concerning one example of this invention.

[Drawing 20] The system configuration Fig. of the liquid crystal display concerning one example of this invention.

[Drawing 21] The circuit diagram of the liquid crystal display concerning one example of this invention.

[Drawing 22] The circuit diagram of the liquid crystal display concerning one example of this invention.

[Drawing 23] The drive wave of the liquid crystal display concerning one example of this invention.

[Drawing 24] The circuit diagram of the liquid crystal display concerning one example of this invention.

[Drawing 25] The circuit diagram of the liquid crystal display concerning one example of this invention.

[Drawing 26] The drive wave of the liquid crystal display concerning one example of this invention.

[Drawing 27] The circuit diagram of the liquid crystal display concerning one example of this invention.

[Drawing 28] An example of the dispersion mold liquid crystal of this invention.

[Drawing 29] An example of the polymer part terrible random mold liquid crystal of this invention.

[Drawing 30] Other examples of the polymer part terrible random mold liquid crystal of this invention.

[Description of Notations]

VG [ -- The gate voltage of Sampling TFT, tG / -- Gate selection time amount,  $\Delta V_{GD}$  / -- The difference electrical potential difference of gate voltage and a drain electrical potential difference CLC / -- Liquid crystal capacity, 1 / -- A gate drive circuit, 2 / -- A data drive circuit, 3 / -- A sampling circuit, 4 / -- The substrate, 5 in which Pixel TFT was formed -- A keyboard, 6 / -- Liquid crystal display. ] -- The gate voltage of Pixel TFT, VD -- The drain (data) electrical potential difference of Pixel TFT, VDD -- The drain (data) electrical potential difference of Sampling TFT,  $\phi$

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-204331

(43)公開日 平成 5 年(1993) 8 月13日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7319-5G		
G 0 2 F 1/133	5 5 0	7820-2K		

審査請求 未請求 請求項の数23(全 28 頁)

(21)出願番号 特願平3-54344

(22)出願日 平成 3 年(1991) 3 月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 小野 記久雄

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 小西 信武

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 田中 武

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 液晶表示装置の駆動方法

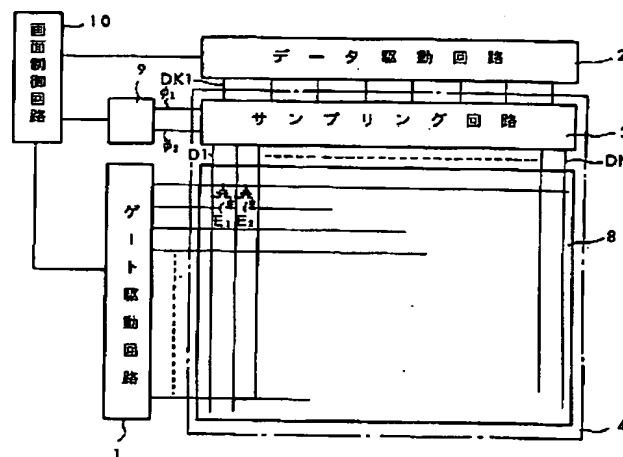
(57)【要約】

【目的】駆動回路の一部を内蔵したTFT液晶表示装置において、表示品質、歩留向上のための構造、及び駆動方法を提供する。

【構成】ドレイン電圧が正極性の時のTFTの書き込み時間を負極性よりも長くする。表示領域の上下に形成したサンプリングTFTを介し隣接する(異なる画素列の)ドレイン線を接続してループを形成する。ループの両側に正規と予備の端子を設ける。

【効果】充電能力が低くなる正極性の電圧書き込み率を高くでき、表示品質が向上する。ドレイン線が断線しても、ループを迂回した給電で正常な表示動作。サンプリングTFT特性不良時は、予備端子からも給電し、非サンプリング駆動可能。

図 1



(2)

1

## 【特許請求の範囲】

【請求項1】薄膜トランジスタをスイッチング素子として用いた液晶表示装置を映像信号を与えるドレイン電圧が所定の電圧に対して、前記所定の電圧を境に正、負で駆動する液晶表示装置の駆動法において、薄膜トランジスタのゲート電圧が前記所定の電圧より高い前記ゲート電圧のオンパルス幅と、前記所定の電圧より高く薄膜トランジスタから液晶に印加されるドレイン電圧とのオーバーラップ時間が、前記所定の電圧より低い前記ドレイン電圧とのオーバーラップ時間より長いことを特徴とする液晶表示装置の駆動方法。

【請求項2】請求項1において、前記所定の電圧より高い前記ドレイン電圧と時間的にオーバーラップする前記ゲート電圧が、前記所定の電圧より低い前記ドレイン電圧とオーバーラップする前記ゲート電圧より高いことを特徴とする液晶表示装置の駆動方法。

【請求項3】所定の電圧に対して正、負のフレームからなるデータ電圧で交互に駆動する液晶表示装置の駆動法において、

表示を行うデータ電圧を供給するドレイン端子を持つ複数の薄膜トランジスタと前記ドレイン端子が接続されたドレイン配線上に、少なくとも1つ以上前記データ電圧を供給するトランジスタを備え、前記データ電圧を供給するトランジスタのゲート電圧がフレーム毎に前記所定の電圧に対して正、負の電圧となることを特徴とする液晶表示装置の駆動方法。

【請求項4】請求項1、2及び3に於いて、前記所定の電圧を前記ドレイン電圧の最大電圧と最小電圧の中心電圧とすることを特徴とする液晶表示装置の駆動方法。

【請求項5】請求項1、2及び3に於いて、前記所定の電圧を、前記薄膜トランジスタを形成する基板と液晶を挟んだ位置にある対向基板上的電極に印加する所定の電圧値あるい所定の振幅値を持つ電圧の中心電圧とすることを特徴とする液晶表示装置の駆動方法。

【請求項6】請求項3に於いて、前記複数の薄膜トランジスタが接続されたドレイン配線にデータ電圧を供給するトランジスタが、液晶を直接駆動する薄膜トランジスタと同一基板上に形成したことを特徴とする液晶表示装置の駆動方法。

【請求項7】請求項1から請求項6において、前記液晶は散乱型液晶素子であることを特徴とする液晶表示素子の駆動方法。

【請求項8】マトリックス状に形成した薄膜トランジスタにより液晶を駆動するように形成された画素と、前記薄膜トランジスタを駆動するゲート駆動回路と、液晶に所定の電圧を与えるデータ駆動回路と、前記ゲート駆動回路やデータ駆動回路に制御信号を与える画面制御回路と、演算処理用のマイクロコンピュータ及び情報入力手段を備え、前記演算処理結果又は情報入力手段からの情報を前記マイクロコンピュータを介して画面制御回路に

2

伝達する情報処理装置において、前記データ駆動回路と前記薄膜トランジスタの間にデータ信号を制御するスイッチング素子を設け、前記スイッチング素子は前記画面制御回路からの信号に基づいてフレーム毎に極性を反転することを特徴とする情報処理装置。

【請求項9】行列状に配列した液晶容量で形成した画素と、前記画素の行列で構成される表示領域と、前記各画素毎に形成され前記画素を駆動する薄膜トランジスタと、前記薄膜トランジスタを形成する基板と、同列に属する前記薄膜トランジスタのドレイン端子を連結したドレイン線と、同行に属する前記薄膜トランジスタのゲート端子を連結したゲート線を有する液晶表示装置において、異なる列の画素を駆動する、少なくとも2本以上の前記ドレイン線が、前記基板上的前記表示領域外で、前記画素の列方向の少なくとも一方側に形成したサンプリング用の薄膜トランジスタを介して、相互に接続し閉ループを形成することを特徴とする液晶表示装置。

【請求項10】請求項9において、前記サンプリング用薄膜トランジスタは前記画素を形成した各列毎に形成することを特徴とする液晶表示装置。

【請求項11】請求項9において、前記基板上的前記表示領域外で前記画素の列方向の両側にサンプリング用の薄膜トランジスタを形成し、異なる列の前記画素を駆動する、少なくとも2本以上の前記ドレイン線を相互に接続し閉ループを形成することを特徴とする液晶表示装置。

【請求項12】請求項9において、前記ドレイン線のループが2本のドレイン線単位で形成され、前記表示領域外の方側において前記ループに挿入される前記サンプリングトランジスタが少なくとも2個以上であり、駆動回路から前記ループヘドレイン電圧を供給する端子が少なくとも前記2個のサンプリングトランジスタの間、もしくは前記サンプリングトランジスタの分岐配線中に形成し、前記表示領域外の方側の前記ループ内に1個のサンプリングトランジスタを形成したことを特徴とする液晶表示装置。

【請求項13】請求項12において、列方向の両側の表示領域外に設けた、前記ドレイン線のループ中もしくは前記サンプリングトランジスタの分岐配線中に、外部から前記ループにドレイン電圧を供給するための接続端子を設けたことを特徴とする液晶表示装置。

【請求項14】請求項12において列方向の両方の表示領域外に設けられた前記接続端子の端子間隔が等しいことを特徴とする液晶表示装置。

【請求項15】請求項9において、前記ドレイン線のループがドレイン線2本単位となっており、表示領域外の方側において前記ループにそれぞれ1個ずつのサンプリングトランジスタが挿入され、外部の駆動回路からの電圧供給端子が少なくとも1つ表示領域外の方側上若しくはそれから分岐して形成されていることを特徴とする

50

(3)

3

液晶表示装置。

【請求項16】請求項9の液晶表示装置において、前記基板上に形成した回路と前記基板の外部に設けた駆動回路との接続端子数NDと、配列した画素の行数NXが、 $ND = NX / n$ （nは1以上の整数）の関係にあることを特徴とする液晶表示装置。

【請求項17】請求項16の液晶表示装置において、前記画素で構成される表示領域の、列方向の表示領域外の両側に形成した、薄膜トランジスタの一方側と他方側の外部駆動回路から供給される映像信号の数が、異なるように入力端子を形成したことを特徴とする液晶表示装置。

【請求項18】請求項9から請求項17において、前記液晶に散乱型液晶素子を用いたことを特徴とする液晶表示装置。

【請求項19】行列状に配列した液晶容量で形成した画素と、前記画素の行列で構成される表示領域と、前記各画素毎に形成され前記画素を駆動する薄膜トランジスタと、前記薄膜トランジスタを形成する基板と、同列に属する前記薄膜トランジスタのドレイン端子を連結したドレイン線と、同行に属する前記薄膜トランジスタのゲート端子を連結したゲート線を有し、異なる列の画素を駆動する少なくとも2本以上の前記ドレイン線が、前記基板上の前記表示領域外で、前記画素の列方向の少なくとも一方側に形成したサンプリング用の薄膜トランジスタを介して相互に接続し、閉ループを形成した液晶表示装置の駆動方法において、画素トランジスタのゲート電圧のパルス幅期間内に、前記ドレイン線のループに挿入されたサンプリングトランジスタがすべて導通する期間を持つことを特徴とする液晶表示装置の駆動方法。

【請求項20】請求項19の液晶表示装置の駆動方法において、画素トランジスタのゲート電圧のパルス幅期間内に前記ドレイン線のループに挿入されたサンプリングトランジスタがすべて導通する期間と、この期間より後でかつ前記パルス幅期間内にループ内の1本のドレイン線の両端のサンプリングトランジスタが遮断される期間を持つことを特徴とする液晶表示装置の駆動方法。

【請求項21】行列状に配列した液晶容量を形成する画素と、前記画素の行列で構成される表示領域と、前記各画素毎に形成され前記画素を駆動する薄膜トランジスタと、前記薄膜トランジスタを形成する基板と、同列に属する前記薄膜トランジスタのドレイン端子を連結したドレイン線と、同行に属する前記薄膜トランジスタのゲート端子を連結したゲート線を有し、異なる列の画素を駆動する少なくとも2本以上の前記ドレイン線が、前記基板上の前記表示領域外で、前記画素の列方向の少なくとも一方側に形成したサンプリング用の薄膜トランジスタを介して、相互に接続し閉ループを形成した液晶表示装置の駆動方法において、画素トランジスタのゲート電圧のパルス幅期間内に前記ドレイン線のループ内の電位

4

が、等しくなる期間と異なる期間両方を持つことを特徴とする液晶表示装置の駆動方法。

【請求項22】行列状に配列した液晶容量即ち画素と、前記画素の行列からなる表示領域と、前記各画素毎に形成され、画素を駆動する薄膜トランジスタと、前記薄膜トランジスタを形成した基板と、同列に属する画素を駆動する前記薄膜トランジスタのドレイン端子を連結する配線であるドレイン線と、同列に属する画素を駆動する前記薄膜トランジスタのゲート端子を連結する配線であるゲート線と、を有する液晶表示装置において、異なる行の画素を駆動する前記ドレイン線同志が、表示領域の行方向の表示領域外両側で、前記基板上に形成した薄膜トランジスタを介して、少なくとも2本以上相互に接続されループを形成していることを特徴とする液晶表示装置。

【請求項23】トランジスタをスイッチング素子として用いた液晶表示装置を映像信号を与えるドレイン電圧が所定の電圧に対して、前記所定の電圧を境に正、負で駆動する液晶表示装置の駆動法において、前記トランジスタのゲート電圧が前記所定の電圧より高い前記ゲート電圧のオンパルス幅と、前記所定の電圧より高く前記トランジスタから液晶に印加されるドレイン電圧とのオーバーラップ時間が、前記所定の電圧より低い前記ドレイン電圧とのオーバーラップ時間より長いことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置、例えば、TFT（薄膜トランジスタ）を用いたアクティブマトリクス構成の液晶表示装置と、それを駆動するのに適した駆動方法に関する。

【0002】

【従来の技術】TFTアクティブマトリクス構成の液晶表示装置に関しては、例えば、1989年、電子情報通信学会論文論文誌、10月、Vol. J72-C-II、項943-951がある。この例では駆動回路の一部を透明基板上に内蔵している。この従来の駆動方法はTFTの映像信号となるSCAN VOLTAGEがフレーム毎に反転し、駆動回路のゲート電圧（ $V_B$ ）はフレーム毎に繰返し印加され、フレーム毎に正負に反転されていない。

【0003】また、従来のアクティブマトリクス構成の液晶表示装置として、特開平1-68724号公報のものがあ。これはドレイン線の断線対策（冗長構造による表示不良防止）に関するもので、その概要を図12に示す。縦1列に並んだ画素（液晶容量）（ $E1-E_N$ ）にはそれぞれ2個のTFT（ $T1a$ 、 $T1b-TNa$ 、 $TNb$ ）が形成され、それぞれドレイン線 $D1a$ 、 $D1b$ に接続されている。この2本のドレイン線は表示領域外のTFT、 $TR1$ 、 $TR2$ 、 $TR3$ によって接続されるループを形成している。画像表示時には、電圧 $\phi1$   $\phi2$   $\phi$

(4)

5

3を常にハイレベルとしTFT, TR1, TR2, TR3を導通状態とする。これによりループの片側例えばD1aが断線しても他方のループD1bを迂回してドレイン電圧VDが供給される。

【0004】

【発明が解決しようとする課題】TFT液晶表示装置は、小型低消費電力のディスプレイ装置として、主としてマイクロコンピュータにおけるモニター等に用いられている。このような用途として、アクティブマトリクス液晶表示装置は、表示品質は優れているものの、CRT（冷陰極管）に比べて、部材原価、特に、液晶を駆動するTFT（画素TFT）を駆動するドライバIC（集積回路）の原価が高いと言う問題がある。これに対して、画素TFTを形成すると同時に透明基板上ドライバICの機能の一部あるいは全てを内蔵してドライバICの数を低減する試みがある。図10はその回路の一例である。この回路は映像信号用のドレイン線D1～DNのうち隣合う2本を一組とし、映像信号電圧VDDをサンプリングTFT（TR1, TR2）で振り分け、結果的にドレイン線の接続線数すなわち映像信号側のドライバICの数を半減できる。

【0005】図11に図10の回路に対する駆動波形を示す。

【0006】ここで示した駆動波形はノーマリホワイトモードの2×4画素（G1～2, D1～D4）の液晶表示装置で黒表示の場合を示す。

【0007】同図（a）に示すように、画素TFTゲート電圧VGの選択時間tG中に、サンプリングTFTのゲートにクロック電圧φ1及びφ2をそれぞれ与える。φ1とφ2は上記選択時間tG中で位相差がある。映像信号電圧VDDは該当するドレイン線に対して該当する表示色に従い、φ1とφ2のタイミングに合わせて振り分けられる。同図のVDDは隣合うドレイン線にVDDの最大電圧と最小電圧の中心電圧VC、あるいは、図示してはいないが液晶の対向電極の電圧VCOMに対して対称の電圧を加えている。同図（b）に画素TFTであるE1画素及びE2画素のゲート電圧VGと、サンプリングTFTから供給されたドレイン電圧VDの関係を示す。このVDが画素TFTのドレイン電圧となる。

【0008】上記駆動法の問題点は、偶数番目のドレイン線に対して画素TFTのゲート電圧VGと、サンプリングTFTから供給されたドレイン電圧VDのオーバーラップ時間が、同図（b）E2画素の駆動波形に示すように、tGの2分の1になっている点である。特に問題となるのは同図（b）のE2の2フレーム目である。同図（b）のE2画素の1フレーム目は、ゲート電圧の選択時間tG中で画素TFTのソース電圧の目標電圧となるドレイン電圧の最小電圧VDLとオンゲート電圧との交差時間はtG/2、その時のVGとVDの差電圧はΔVG D1であり、2フレームは目標電圧はドレイン電圧の最

6

大電圧VDH、交差時間はtG/2、差電圧はΔVG D2である。

【0009】画素E1の交差時間に比べて画素E2の交差時間は同図（b）のように半分となるので、画素E2のTFTすなわち偶数番目のドレイン線に接続された画素TFTの液晶容量CLCへの充電能力は、奇数番目のTFTの2倍の充電能力が必要になる。さらに、充電能力は交差時間のみならずΔVG Dの値に大きく依存する。ΔVG Dが大きいほど充電能力は大きくなる。通常、ΔVG D1はΔVG D2の3倍程度になるので、従来の駆動方法ではE2画素の2フレームの充電が最も苦しくなり、該当画素のソース電圧VSは目標とするVDHに到達しない場合がある。この場合、偶数番目のドレイン線につながれた画素の透過率が増加（ノーマリホワイト表示の場合）し、表示むらになると言う問題が生じる。

【0010】そこで本発明の第1の目的は、液晶へ印加するソース電圧の充電不足を解消し、表示むらのない液晶表示装置の駆動方法を提供することにある。

【0011】また、従来技術においてはサンプリングTFT特性不良による製造歩留りの低下について充分考慮されていなかった。本発明の第2の目的はサンプリングTFTのスイッチング特性が不良（導通抵抗の増大、遮断抵抗の低下）の液晶表示装置の救済策を提供することにある。

【0012】また従来技術では、断線不良対策の冗長構造をとると表示装置の輝度が低下したり、配線の短絡不良が増加するという問題があった。例えば前記第2の従来技術（特開平1-68724号公報）では各画素の左右両側にドレイン配線を引き回している。このため、画素間に、別系統の2本のドレイン線D2, D3が平行に形成されることになる。通常、2本のドレイン線の間隔が狭く（10μm以下）かつ同層となるため、ドレイン線間の短絡不良の発生率が増加するという問題があった。また不透明な配線が占める面積が増える（画素数の2倍のドレイン線が必要）ことにより、透過型の液晶表示装置の輝度が低下するという問題があった。また各画素にTFTに2個ずつ形成することも輝度低下をもたらした。

【0013】本発明の第3の目的は、このような不良増加や輝度低下を伴わない、冗長配線の構造を提供することにある。

【0014】

【課題を解決するための手段】本発明は、前記3つの目的を次の手段によって達成するものである。

【0015】本発明の第1の目的は、ドレイン電圧の振幅値の中心電圧を基準電圧とし、前記基準電圧より高く液晶への印加電圧となるドレイン電圧VDと、画素TFTをオン状態とするパルス状のゲート電圧VGとのオーバーラップ時間を、前記基準電圧より低く液晶への印加電圧となるドレイン電圧VDと、画素TFTをオン状態とするパルス状のゲート電圧VGとのオーバーラップ時間よ

(5)

7

りも長くすることによって達成される。

【0016】上記第2の目的は、製造工程において、サンプリングTFTの特性が良好な物のみドライバIC数を1/2化し、それ以外は従来通りの数のドライバICを実装し、サンプリングTFTを実質的に機能させずに駆動することにより達成される。

【0017】上記第3の目的は、隣の画素列を駆動するドレイン線同志を結んでドレイン配線のループを作り、かつ表示領域外にこのループの開閉を制御するスイッチング素子を設けることにより達成される。

【0018】

【作用】本発明の第1の目的については、画素TFTの充電能力が低下する基準電圧より高いドレイン電圧VDの時に、基準電圧より高いドレイン電圧VDと画素TFTをオン状態とするパルス状のゲート電圧VGとのオーバーラップ時間を、基準電圧より低いドレイン電圧VDと画素TFTをオン状態とするパルス状のゲート電圧VGとのオーバーラップ時間よりも長くすることによって、液晶への印加電圧となるソース電圧VSの充電不足を防止し、表示むらのない液晶表示装置が実現できる。

【0019】第2の目的に対しては、従来のサンプリングトランジスタのない液晶表示装置の駆動に変更できる構成としたことが要点である。すなわち、サンプリングトランジスタを設けた側の隣合う画素のドレイン線を、前記サンプリングトランジスタを介して接続する。さらに、前記サンプリングトランジスタ側に正規の端子（データ入力端子）を設け、前記サンプリング回路とは反対側のドレイン線に補助の端子を設けることによって達成される。すなわち、サンプリングトランジスタが動作不良を起こした場合には、補助端子側にもドライバICを接続し駆動すれば、サンプリングトランジスタの欠陥による表示装置の不良を防げるものである。

【0020】第3の目的となる線欠陥に対する冗長構造の作用について説明する。相隣合う画素のドレイン線をループ状につなぎ、かつ表示領域外（周辺部）においてサンプリング用のスイッチング素子3個を表示領域の両側のループに挿入してある。すなわち、一方側画素のサンプリングトランジスタをオン状態に保ち、画素TFTのゲート電圧選択時間中に残りのサンプリングトランジスタのゲートに、あるクロック電圧を与える。このうちゲート選択時間の前半においては、これらの全てのサンプリングトランジスタを導通状態にする。断線箇所があっても下側に設けたサンプリングトランジスタを介して電圧が給電され、ドレインラインのループ全体が充電される。続いて後半では、前記残りのサンプリングトランジスタが遮断され、一方の画素の電位はそのまま、他方の画素側のドレインラインが充電される。即ち最終的にはループを形成したドレインラインの画素の液晶容量に、が充電される。以上のように、本回路構成によれば各画素間にドレイン線は1本のみで良く、冗長ループを

8

形成してもドレイン線間のショート不良は増えない。また配線の占める面積も増えないので表示装置の輝度も低下しない。

【0021】

【実施例】以下、本発明の実施例について、図面を用いて説明する。

【0022】図1は本発明の駆動法を用いたアクティブマトリクス型の液晶表示装置の1実施例を示したものである。

10 【0023】同図で、液晶表示部8はマトリクス状に配置された複数の液晶セル（LC）に対して、それぞれTFTを設け、このTFTのスイッチング動作によって各液晶セルを駆動するようにしたものである。ここで、横方向に並んだTFTの各ゲートから共通に引き出した電極であるゲートラインG1～GMに対して、ゲート駆動回路1から順次ゲート電圧を印加し、各ゲートライン毎にTFTのゲートをオンしていく。

【0024】一方、縦方向に並んだTFTの各ドレインから共通に引き出した電極であるドレインラインD1～DNに対して、上記オンゲート電圧を印加されたゲートライン毎に、データ電圧をデータ駆動回路2からサンプリング回路3を経て順次印加し、各液晶セルに与えていく。また、サンプリング回路3は、上記各ドレインラインに対してサンプリング用TFTを持ち、サンプリング用TFTのゲート端子に画素TFTゲートオン電圧が印加している間に、複数の電圧φ1、φ2を供給する。但し、この出力電圧φ1、φ2はサンプリング駆動回路9より供給されるが、画面制御回路10（ゲート駆動回路1やデータ駆動回路2へも制御信号を送信する）にてフレームを、判定しフレーム毎にサンプリング駆動回路9（本回路は画面制御回路10に内蔵してもよい）に極性反転指令を出す。また、サンプリング回路3に入力されるドレイン信号はサンプリングの信号数に応じてまとめることができるため、サンプリング回路3からデータ駆動回路2に接続されるドレインラインの数を低減できる。

40 【0025】これらの回路の内、少なくともサンプリング回路3を画素TFT同様にガラス等を材料とする基板上4に形成できれば、サンプリングTFTのサンプリング信号数に対応して、サンプリング回路3とデータ駆動回路2間の接続数は低減できるため、ガラス基板上4に形成した表示装置本体と外部駆動回路間との接続線が低減できデータ駆動回路2も簡略化できる。図10に示したようにサンプリング信号数が2の場合、ドレインラインD1とD2がひとまとめにされDK1としてデータ駆動回路に接続され、結果として画素TFT及びサンプリング回路3の形成された基板とデータ駆動回路2との接続数は半減、すなわちデータ駆動回路2を構成するドライバIC数を半減できる。サンプリング回路3は画素TFTと同じ工程で容易に形成できるので、ドライバIC

50

(6)

9

数を半減にした効果により、液晶表示コストを低減できる効果がある。

【0026】次に、図2を用いて第1の実施例の動作を説明する。

【0027】図2は本発明の一実施例に係る駆動電圧波形を示す図であり、ノーマリホマイト表示の黒表示の場合を示している。同図(a)はサンプリングTFTのゲート電圧 $\phi$ と外部ドライバICから供給されるドレイン電圧VDDの関係を示したものである。それぞれ奇数番目(D1, D3)および偶数番目(D2, D4)のドレイン線への印加電圧波形を示す。同図(b)は画素TFTのゲート電圧VGと前記サンプリングTFTからの出力電圧画素TFTであるE1、E2のドレイン電圧であるVDの電圧波形を示したものである。この波形は図10の回路の1番目すなわちG1に対するもので、それぞれ画素TFTに対するドレイン線の奇数番目(ここではD1ラインの画素E1、E3)、偶数番目(ここではD2ラインの画素E2、E4)の駆動波形に対応する。白表示の場合はVD電圧の最大値と最小値の中心電圧VCあるいは対向電極の電圧VCOMに等しい電圧を加えればよい。

【0028】本実施例では、1フレーム目と2フレームでサンプリングTFTのTR1とTR2のゲート電圧である $\phi 1$ と $\phi 2$ の電圧がフレーム毎に反転し、VDDはフレーム毎に反転していない。これに対して、従来の駆動法では、図11で示すように $\phi 1$ と $\phi 2$ はフレーム毎に反転しておらず、逆にVDDは反転している。

【0029】本発明の駆動法を用いるならば、同図

(b)に示すように、画素TFTの充電能力が問題になるドレイン電圧VDが基準電圧VCより高い場合、すなわち、 $\Delta VGD$ の小さい場合(すなわち $\Delta VGD2$ )のゲート電圧VGとドレイン電圧VDの交差時間は $t_G$ となり、逆に充電能力に余裕のあるドレイン電圧VDが基準電圧VCより低い、すなわち、 $\Delta VGD$ の大きい(すなわち $\Delta VGD1$ )場合の交差時間は $t_G/2$ となる。交差時間が $t_G/2$ となっても $\Delta VGD1$ が充分大きいので、充電能力が大きく液晶表示装置の表示性能上は問題にならない。このように、本駆動方法によれば、 $t_G$ 期間に対応する $\phi 1$ と $\phi 2$ が画素TFT充電能力の小さくなる駆動条件に対して優先して充電が行われ、VGとVDの交差時間を長くできるので充電不足による表示むらの発生を防止できる。

【0030】図3は画素TFTに対する充電能力を $\Delta VGD1$ と $\Delta VGD2$ の場合を比較したものである。ここで、図2(b)の対応する電圧はVGが0Vから2.5Vのパルス電圧、 $t_G$ が $35\mu s$ (ゲート線数480本の表示装置に対応)、VDは最大電圧VDHが21V、最小電圧VDLが5Vであり、対応する $\Delta VGD$ は $\Delta VGD1=20V$ 、 $\Delta VGD2=4V$ である。画素TFTは非晶質シリコンTFTでチャンネル長とチャンネル幅の比す

10

なわち $W/L$ は5で移動度は $0.5cm^2/(Vs)$ 、しきい電圧は2Vである。横軸に $\Delta VGD2=4V$ の時のソース電圧に対する充電率、縦軸に $\Delta VGD1=20V$ の時の充電率を示している。本図で明白な様に $\Delta VGD1=20V$ の充電率は $\Delta VGD2=4V$ の充電率より非常に高い。例えば、 $\Delta VGD2$ の充電率が60%の時に $\Delta VGD1$ の充電率は99.7%以上にも及ぶ。

【0031】このように、本駆動法を用いるならば、 $t_G$ 期間に対応する $\phi 1$ と $\phi 2$ が画素TFT充電能力の小さくなる駆動条件に対して優先して充電が行われるように、VGと画素TFTのVDの交差時間を長くできるので、充電不足が原因の表示むらの発生しない液晶表示装置を提供できる。

【0032】図4には、この発明に係る液晶表示装置の駆動方法を用いたラップトップ型(又はブック型)のマイクロコンピュータの一実施例の概略斜視図が示されている。キーボード5を本体として、これに表示モニターとなる液晶表示装置6が具備されている。前記表示モニターは本発明の液晶表示装置を内蔵したもので、内蔵したマイクロコンピュータの信号が画面制御回路に入力されそこで、表示内容を判定しゲート駆動回路、データ駆動回路、及びサンプリング駆動回路にそれぞれ信号を送信する。駆動方法は上記実施例1の駆動方法を用いており、表示品質の優れた画像のモニターが実現できるとともに、サンプリング回路を画素TFTと同一基板上に形成でき、値段の安く、しかも軽量のマイクロコンピュータが実現できる。

【0033】次に本発明の第2の実施例を説明する。本発明の駆動方法を図5に示す。対象とする回路は図1の回路と同一の回路で実現できる。本発明の特徴は、画素TFTの充電が苦しくなる基準電圧より高いドレイン電圧VDの時のゲート電圧VGが、基準電圧より低いドレイン電圧VDの時のゲート電圧VGよりも高い所定の電圧で駆動する点である。この駆動方法は、画面制御回路10でフレームの切り替わりを判別し、この信号をデータ駆動回路2にデータ信号と一緒に送信しデータ駆動回路2にてドレイン電圧を上げる方法と、画面制御回路10からデータ駆動回路2に送信する信号の電圧をフレーム毎に変換することによって実現できる。この駆動法を用いるならば基準電圧より高いVDの時のゲート電圧VGとのオーバーラップ時間が短い場合でも、ゲート電圧VGとドレイン電圧VDの差電圧 $\Delta VGD$ を大きくできるので、 $\Delta VGD$ を基準電圧より高いVDの時の充電不足が生じさせない所定の値に設定すれば、充電不足が原因の表示むらの発生しない液晶表示装置を提供できる。言うまでもないが、本実施例の駆動方法と実施例1の駆動方法を組み合わせることで充電能力を更に上げることができる。

【0034】次に本発明の第3の実施例を図6及び図7に示す。本発明の等価回路を図6に、構成を図7に示

50



(7)

11

す。

【0035】第一の発明同様に $2 \times 4$ 画素を例にして説明を行う。本実施例は図6に示すように、サンプリングTFTをゲートラインに対して上下に設けたものである。ドレインラインD1とD2が、それぞれサンプリングTFTのTR1及びTR2を介してデータ駆動回路と接続され、ドレインラインD3とD4が、それぞれサンプリングTFTのTR3及びTR4を介してデータ駆動回路と接続されている。サンプリング回路とデータ駆動回路との接続線数は実施例1と同じであるが、サンプリング回路を基板上下に振り分けているため、基板の上部あるいは下部のサンプリング回路とデータ駆動回路間の接続ピッチは、実施例1で説明した回路に比べて2倍となるため、ドレイン配線数の多い高精細液晶表示装置に於いて接続が容易になり、接続不良による歩留低下を押さえられる。

【0036】図7は本駆動法を用いたアクティブマトリクス型の液晶表示装置の構成を示す。同図で、基板4上に、マトリクス状に配置された複数の液晶セル(LC)に対して、それぞれTFTを設け、かつ、同一基板4内にサンプリング回路3を形成し、上記TFTのスイッチング動作によって各液晶セルを駆動するようにしたものである。ここで、横方向に並んだTFTの各ゲートから共通に引き出した電極であるゲートラインG1~GMに対して、ゲート駆動回路1から順次ゲート電圧を印加し、各ゲートライン毎にゲートをオンしていく。一方、立て方向に並んだTFTの各ドレインから共通に引き出した電極であるドレインラインD1~DNに対して、上記オンされたゲートライン毎のデータ電圧をデータ駆動回路2からサンプリング回路3を経て順次印加し、各液晶セルに与えていく。また、サンプリング回路3は図6に示した様に、上記各ドレインラインに対してサンプリングTFTを持ち、サンプリングTFTのゲート電圧に画素TFTゲート電圧がオンしている間に複数の電圧 $\phi_1$ 、 $\phi_2$ を供給する。これにより、サンプリングの数に応じてドレインラインがひとまとめにされ、サンプリング回路3からデータ駆動回路2に接続される。これらの回路の内、図7に示すように少なくともサンプリング回路3を画素TFT同様にガラス等を材料とする基板上に形成すればサンプリング数に対応して、サンプリング回路3とデータ駆動回路2の接続数を低減できる。サンプリング回路3は画素TFTと同様に基板4(通常はガラス等で構成される透明基板)上に形成される。サンプリング数が2の場合、例えば、ドレインラインD1とD2がひとまとめにされDK1としてデータ駆動回路に接続され上部から引き出され、ドレインラインD3とD4がひとまとめにされDK2として下部より引き出され、それぞれデータ駆動回路2に接続され、結果として画素TFT及びサンプリング回路3の形成された基板とデータ駆動回路2との接続数は半減、すなわちデータ駆動回路

12

を構成するドライバIC数を半減できる。サンプリング回路3は画素TFTと同じ工程で容易に形成できるので、ドライバIC数を半減にした効果により、液晶表示装置のコストを低減できる効果がある。本発明では実施例1に比べて上下に配線の引出を行っているため画素TFTが形成された基板と外部のドライバIC回路との接続ピッチが実施例1に比べて倍になり接続の信頼性が著しく向上するという特徴がある。本発明の駆動方法は基本的に実施例1と同じである。もちろん実施例2の駆動方法を使用できる。

【0037】次に本発明の第4の実施例を示す。本発明の等価回路を図8及び駆動方法を図9に示す。図8に示した等価回路はサンプリング数が4個の場合であるが、当然この数は多くても問題はない。従って、4つのドレインラインから画素TFTと同一基板上に形成されたサンプリング回路を通してひとまとめになり外部のデータ駆動回路と接続される。従って、ドレイン側の駆動IC数が4分の1に低減されることにより、大幅に価格が低減できる効果がある。

【0038】図9(a)は図7のドレイン線D1~D4に対するサンプリングTFTに対するゲート電圧である $\phi_1 \sim \phi_4$ とデータ駆動回路からの出力電圧であるVDの駆動電圧波形のタイミングチャートを示す。本駆動波形はノーマリホワイト型の液晶表示装置を黒表示するケースを示している。同図において、tG期間内の1フレーム目は基準電圧VCより高いドレイン電圧VDをtG期間内で $\phi_1$ 、 $\phi_2$ に対応して印加し、2フレーム目では $\phi_1 \sim \phi_4$ をすべて反転する。これによって2フレーム目では基準電圧VCより高い電圧VDをtG期間内で $\phi_3$ 、 $\phi_4$ に対して印加できる。従って、同図に示すVGとVDの関係に於いて、E1画素に於いては、VGと基準電圧VCより高いVDとのオーバーラップ時間はtG、基準電圧VCより低いVDとのオーバーラップ時間はtG/2、E2画素に於いては、VGと基準電圧VCより高いVDとのオーバーラップ時間は $3/4 \times tG$ 、基準電圧VCより低いVDとのオーバーラップ時間はtG/4、E3画素に於いては、VGと基準電圧VCより高いVDとのオーバーラップ時間はtG、基準電圧VCより低いVDとのオーバーラップ時間はtG/2、E4画素に於いては、VGと基準電圧VCより高いVDとのオーバーラップ時間は $3/4 \times tG$ 、基準電圧VCより低いVDとのオーバーラップ時間はtG/4となり、結果的にすべての場合において、VGと基準電圧VCより高いVDとのオーバーラップ時間は基準電圧VCより低いVDとのオーバーラップ時間より長くなる。これは、従来の駆動方法に於いて、VGと基準電圧VCより高いVDとのオーバーラップ時間がtG/4になる場合に比べて充電不足による表示むらに対して著しく改善効果のある液晶表示装置を提供できる。

【0039】以上に実施例においては、サンプリング数

(8)

13

が2個と4個の場合を示したがこれは、他のサンプリング数に対しても本駆動方法が使用できることは言うまでもない。また、以上の実施例においては、例えば、実施例1において、サンプリング回路が画素TFTと同一基板上に形成した場合を示したが、このサンプリングTFTの機能を外部のドライバーICに持たせても本駆動方法は採用できる。

【0040】次に第5の実施例として、本発明の第2の目的であるサンプリングトランジスタの特性不良対策の例を説明する。

【0041】図18にその回路の一例を示す。図18において、サンプリングトランジスタTR1、TR2を形成していない側のドレイン線D1端部にも、ドライバーICから電圧を供給する予備端子TDRを設ける。前記構成にすれば、製造工程でドライバーICの実装の前にサンプリングトランジスタの特性を検査し、不良の場合に、サンプリングトランジスタ側の端子だけでなく予備の端子側にもドライバーIC(DD1、DD2)を接続する。例えば、サンプリングトランジスタのスイッチング特性が低下した不良(例えば導通抵抗が増大しかつ遮断抵抗の低下した)の場合の駆動を考える。サンプリング信号φ1をハイレベル、φ2をローレベルとし、トランジスタTR1を導通、TR2を遮断しておく。この時、上側及び下側にそれぞれ設けたドライバーICから、画素E1、E2に対応する電圧を端子TD、TDRに供給する。ドレイン線D1については、出力抵抗の低いドライバーICのDD2を直結することにより、TR1の遮断抵抗が若干低下していてもドレイン線D1の電圧はドライバーICのDD2から所定の電圧が供給されるためドライバーICのDD1は供給される電圧低下の影響を受けることがない。また、ドレイン線D2については、TR2が画素部のゲート選択時間全部を使って充電すれば良い(サンプリングトランジスタ駆動の場合の2倍)ので、TR2の導通抵抗が若干増加していても十分な充電が出来、問題無い。なお、この場合にはドライバーICの個数が半減していないが、不良品の救済により最終的に製造コストを下げる事が出来る。

【0042】図19は液晶表示装置の平面構造図であり、図18の等価回路図に対応する。表示装置の左上角の8画素について示した。実際に画素は、ピッチが縦330μm横110μm、画素数が縦480横1920の行列状に配置したものである。本実施例では各画素(液晶容量)の電極Eには透明電極ITO(酸化インジウム)を用いた。TVD1、TVD2は外部駆動回路からのドレイン電圧供給端子で、前者が正規の端子、後者が予備で、端子のピッチはいずれも180μmである。サンプリングトランジスタTR1、TR2は多結晶シリコン膜を能動層とする薄膜トランジスタ、画素トランジスタTEは非晶質シリコンを能動層とする薄膜トランジスタである。ドレイン線D1からD4、ゲート線G1、G

14

2、サンプリングトランジスタのゲート線φ1、φ2線はA1、Cr、ITO等からなる積層配線である。図示していないが外部駆動回路としては、160出力のドライバーICをTAB(tape automated bonding)法により実装して用いる。通常、外部駆動回路は端子TVD1のみに実装し、製造途中の検査でTFT特性が不良と判定された液晶表示装置について、TVD1、TVD2の両方に外部駆動回路を実装する。なお、端子ピッチを正規と予備の端子で等しくし、かつドライバーICの機能は等価であれば、全く同じドライバーICを用いることができる。ドライバーICを両側の端子TVD1、TVD2に接続した場合にはサンプリングトランジスタTR1、TR2をそれぞれ常時遮断、導通状態とする。これによりTVD1側のドライバーICで偶数番目のドレイン線D2、D4を、TVD2側のドライバーICで奇数番目のドレイン線D1、D3を駆動できる。

【0043】本実施例では、サンプリングTFTを各ドレイン線に設けているが、図22のようにドレイン線2本にTFT、TR1、1個とし、予備端子TVDRを設けても、TFTの特性不良(導通抵抗上昇)に対する冗長効果が得られる。TFT特性が不良の場合の救済方法は、前記実施例と同様である。即ち、クロックパルスφ1を常にローレベルとしTFT、TR1を遮断しておく。ドレイン線、D1、D2に対応する電圧として、端子TVDR、TVDにそれぞれ外部駆動回路から電圧VDDR、VDDを給電する。この時、サンプリングTFT特性が正常な場合の駆動波形を図23に示す。奇数番目のドレイン線の画素では中間調、偶数番目のドレイン線の画素では黒を表示している状態である。外部から供給されるドレイン電圧VDDはフレーム毎、ゲート線毎に反転させている。即ち、第1フレーム(奇数フレーム)では奇数番目例えば、1本目のゲート線に電圧VG1が印加されたときにはVDDは正極性、偶数番目例えば、2本目にVG2が印加されたときには負極性としている。第2フレームではこの逆となる。そして、VDDが正極性のときにはゲート電圧のパルス幅TGLは46μs、負極性のパルス幅TGHは23μsである。実質的なTFTの充電時間はこの1/2となるが、正極性は負極性よりも長いので、十分な充電率を得ることが出来る。VSI1、VSI2で示した電圧が液晶に印加される。

【0044】TFT特性不良の判定法について説明する。検査判定は液晶工程が終了し、ドライバーICを実装する前に行う。検査には大型の多端子プローバなどを用いて液晶表示装置に信号を供給し模擬的に液晶表示装置を点灯させて調べる。駆動法は、図2で示した駆動法に準拠して行う。但し画素トランジスタのゲート電圧については、表示部の上部10本程度(すなわちゲート電圧VG1からVG10)のみ常時ハイ、それ以外のゲート電圧(VG1からVG480)は常時ローとする。正常ならば上部の10行分の幅は黒のストライプでそれ

(9)

15

以外は白となる（ノーマリーホワイトモードの液晶の場合）。サンプリングトランジスタ特性が不良の場合には、黒ストライプ中に不良のサンプリングTFTの部分に縦方向の輝線が現われる。

【0045】図21はシステムの構成である。マイクロコンピュータの画像信号源VRAMはブラウン管表示装置CRTを点灯させるためのデータ順列となっているので、データ変換装置TCONにより、液晶表示装置用に信号変換する。本実施例では、サンプリングトランジスタの特性に応じ駆動方法を変えることが必要となる。データ変換装置内にあらかじめ2種類のデータ変換機能を内蔵させ、変換方式の切り替え信号Sにしたがって、そのいずれかを選択する。これにより駆動方式に係らず、変換装置TCONの共有化が図れる。

【0046】次に、第6の実施例としてドレイン線のループを形成して断線に対する冗長構造とした液晶表示装置を説明する。本実施例の等価回路、及び駆動波形をそれぞれ図13、図14に示す。

【0047】図13は等価回路の要部を示したもので、第一列及び第二列の画素E1、E2のドレイン線D1、D2をループ状につなぎ、かつ表示領域外（周辺部）においてスイッチング素子として3個のTFT、TR1、TR2、TR3をループに挿入してある。この回路の駆動波形は、ドレインの断線の発生箇所により異なる。まずドレインの断線が発生していない場合には $\phi 3$ を常時ローレベルとしTR3を遮断しそれ以外（ $\phi 1$ 、 $\phi 2$ 等）の動作は第1の目的で説明した動作と同じである。次にドレイン断線がD1上に発生した場合の動作を、図14の駆動波形により説明する。クロック電圧 $\phi 2$ は常にハイレベルとしTR2を導通状態に保つ。画素TFTのゲート電圧選択時間 $t_G$ 中にサンプリングTFTのゲートに、あるクロック電圧 $\phi 1$ 、 $\phi 3$ を与える。このうち $t_G$ の前半においては、これらのクロックによりTR1、TR2、TR3のいずれも導通状態にする。断線箇所XDの下側にもTR2、D2、TR3、D1の経路で電圧が給電され、ドレインラインD1、D2のループ全体がVDレベルまで充電される。続いて後半では、TR1、TR3が遮断され、ドレインラインD1の電位はそのままで、ドレインラインD2のみがVDレベルまで充電される。即ち最終的には画素E1、E2の液晶容量に、電圧VDが充電される。第2フレームのゲート選択時間 $t_G$ では、クロックパルスは第1フレームと同じ、ドレイン電圧の正負のみを入替える。最終的には画素E1、E2の液晶容量に、電圧VDが充電される。第1、第2フレームの繰返して液晶が交流駆動される。断線がD2上に発生した場合には、図14の駆動波形のうち $\phi 1$ と $\phi 3$ を入れ替えれば良い。本回路構成によれば各画素間にドレイン線は1本のみで良く、冗長ループを形成してもドレイン線間のショート不良は増えない。また配線の占める面積も増えないので表示装置の輝度も低下し

16

ない。

【0048】また本構造によれば、液晶表示装置の製造工程の初期段階で製造不良を発見でき、不要作業の防止（コスト低減）が可能となる。液晶表示装置の製造工程は（1）ガラス基板上に薄膜トランジスタ及びその回路を形成する工程（TFT工程）、（2）これをもう1枚のガラス基板に対向させその間に液晶を封入し液晶容量を形成する工程（液晶工程）、（3）その外部に駆動回路を接続する工程（モジュール工程）の3つに大別できる。製造コスト低減には、再生不能の不良品は初期の段階で発見し、後工程に進めないことが必要である。本構造では、TFT工程終了の段階で、ドレイン線間のショートを検出可能である。すなわち、TR2、TR3を導通状態、TR1、TR3を遮断状態とし、VDDとVDDN間の導通試験をすれば良い。正常時は両端子間是非導通であるが、ドレイン線間のショートが発生した場合には、導通状態となり、不良が検知できる。

【0049】図15は本実施例を説明する液晶表示装置の要部の平面構造を示す。画素は、ピッチが縦 $330\mu\text{m}$ 横 $110\mu\text{m}$ 、画素数が縦480横1920の行列状に配置している。各画素の液晶容量LCの電極には透明電極ITO（酸化インジウム）を用いる。TVD1、TVD2は外部駆動回路からのドレイン電圧供給端子で前者が正規の端子、後者が予備で、端子のピッチはいずれも $180\mu\text{m}$ である。サンプリングトランジスタTR1、TR2、TR3は多結晶シリコン膜を能動層とする薄膜トランジスタ、画素トランジスタTEは非晶質シリコンを能動層とする薄膜トランジスタである。ドレイン線D、ゲート線G、サンプリングトランジスタのゲート線 $\phi$ 線はAl、Cr、ITO等からなる積層配線である。ドレイン線は横どりのドレイン線とペアにしてサンプリングトランジスタTR1、TR2、TR3のループを形成している。本構造によれば、断線に対する冗長構造となっているにもかかわらず、各々の画素Eの間にはドレイン線が1本形成されているのみである。このためドレイン線間の距離（画素ピッチ $330\mu\text{m}$ ）は従来のまますなわちドレイン線間のショートを増やすことなく、ドレインの断線が救済される。また不透明なドレイン線（線幅 $8\mu\text{m}$ ）の占める面積比率（約7%）が増加しないので冗長構造としても液晶表示装置の輝度が低下することがない。

【0050】なお同図では、液晶容量LCの電極の一部を（層間絶縁膜を挟んで）前列のゲート線に重ねて容量を形成している。これは液晶容量を増加させたのと等価であり、液晶に印加される波形の歪を低減させる効果を持つ。この保持容量を形成しなくても本発明の趣旨は損なわない。

【0051】また同図では配線GNDを画素EとサンプリングTFT、TR1、TR2の間に形成している。容量CLCはドレイン線D1、D2と配線GNDを層間絶

(10)

17

縁膜を介して積層することで形成されている。配線GNDは電氣的に接地されている。容量CLMはドレイン線に印加される波形の歪を透過させる効果を持つ。これら配線GND及び容量CLMを省略しても本発明の趣旨を損なわない。

【0052】本実施例は駆動方法等を変えることで回路の不良を救済できることが特徴である。まず不良の無い場合には、図2に示した駆動により表示動作する。ドレイン断線に対しては、ドレイン電圧を外部の駆動回路からTV Dに供給し14図に示した方法で駆動することにより救済できる。またサンプリグトランジスタの特性不良（オン電流の低下導通抵抗の上昇）も救済できる。例えばTR1、TR2のいずれかが不良の場合もドレイン線の断線と全く同様であり、14図と同じ駆動で表示動作が可能である。TR1、TR2のいずれも不良であった場合には、ドレイン電圧を端子TVRから供給する。この場合には $\phi 1$ 、 $\phi 2$ を常時ローレベルとしTR1、TR2を遮断状態とし、TR3のスイッチングにより、2本のドレイン線に電圧を振り分ける。すなわち駆動波形を、図14の駆動波形のうち $\phi 1$ 、 $\phi 2$ を常時ローレベルに置き換えたものとするにより表示動作が可能となる。なおこれらの駆動法のうち、図2に示したもの以外は正極性のTFTの充電動作に関して苦しくなる。これらの場合には、液晶表示装置の使用温度範囲を制限するか、第2の実施例（図5）に示されたようにゲート電圧の上げ下げによって充電能力を増強する駆動法を採用する。。

【0053】本実施例では前節で述べたように液晶表示装置の製造工程の初期段階（液晶封入の前）でドレイン線間のショート不良を発見でき、不要作業の防止（コスト低減）が可能となる。

【0054】なお本実施例では1画素を1個のTFTと1個の画素電極から構成しており、画素自身は冗長構造となっていない。これを冗長構造としても本発明の趣旨は損なわない。例えば、図20の回路に示すようにに1画素の画素電極を2個の副画素Ea、Ebに分割しそれぞれにTFTTa、Tbを設けても良い。

【0055】また、図24に示すようにサンプリグTFTを上下に2個ずつ形成しても良い。同図は画素部の回路を省略してサンプリグTFT、TR1、TR2、TR3、TR4関連のみを表している。本構成に依れば端子TV DとTVDRは全く等価となる。サンプリグTFT、TR1、TR2が両方共導通不良であった場合には、ドライバICをTDRに接続し、正常時と全く同じ駆動を行える。即ち、クロックパルス $\phi 1$ 、 $\phi 2$ を常時ローレベルとしてTR1、TR2を遮断する。そして、図1に示した駆動法のうち $\phi 1$ 、 $\phi 2$ を $\phi 3$ 、 $\phi 4$ に置き換えることにより等価な駆動が出来る。

【0056】次に第6の実施例として、隣接する3本のドレイン線でループを形成した液晶表示装置を説明す

18

る。図16は液晶表示装置の回路である。なお同図において、画素トランジスタなどの表示部内の回路は省略してある。隣接する3本のドレイン線D1、D2、D3がサンプリグトランジスタTR1、TR2、TR3を介して接続され、ループを形成している。このループに、図示していない外部駆動回路から電圧VDD1が供給される。なお電圧VDDRは後述するが、通常は供給されない。 $\phi 1$ から $\phi 6$ のクロック信号も外部から供給される。この回路の駆動方法はドレイン線の断線の発生状況によって異なるが、断線無しまたはドレイン線D1もしくはD2に断線が発生した場合の駆動波形を図17に示す。画素のゲート電圧選択時間tGを $t\phi 1$ 、 $t\phi 2$ 、 $t\phi 3$ に3分割しクロックパルス $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ を加える。 $t\phi 1$ の期間中は、すべてのクロックパルスがハイレベルとなりサンプリグトランジスタが導通し、3本のドレイン線D1、D2、D3すべてが、ドレイン線D1に供給されるべき電圧レベルV1に充電される。ドレイン線D1に断線があっても、TR3、D3、TR6、TR4を通して下側からも給電されているためD3全体が所定の電圧まで充電される。続いて $t\phi 2$ の期間には $\phi 1$ 、 $\phi 2$ がローとなりTR1、TR4が遮断されD1に電圧V1が保持される。D2、D3には電圧V2が充電される。その際D2上に断線があってもD1の断線同様、線全体が所定の電圧が充電される。最後に $t\phi 3$ の期間にD3にのみ電圧V3が充電される。ドレイン線D1、D2、D3で駆動される画素（液晶容量）にはそれぞれV1、V2、V3が充電される。D3上に断線が発生した場合にはD3のドレイン線に最初に充電すれば良い。即ち図17うち例えば $\phi 1$ 、 $\phi 4$ と $\phi 3$ 、 $\phi 6$ またV1、V3をそれぞれ入れ替えれば良い。サンプリグトランジスタの道通不良などにたいしても同じ駆動法の変更により救済可能である。なおTR1、TR2、TR3全部が道通不良の場合には図17において予備駆動電圧VDDRを供給することにより図17とまったく等価な駆動ができる。

【0057】以上述べてきた実施例では2本または3本単位のドレイン線でループを形成したが、同様な回路、駆動法によりこれを4本以上としても本発明は適用できる。以上述べてきた実施例ではドレイン線に関する冗長回路を提示してきたが本発明はゲート線側にも適用できる。例えば図25はゲート線2本でループを形成してゲート線の断線に対して冗長した例であり、表示部の上から1番目と2番目のゲート線G1、G2の関連部を示している。図示していないが第3番目以降のゲート線も遇数番目と奇数番目が2本ずつサンプリグTFTを介して接続されてループを形成している。ゲート線G1、G2をサンプリグTFTTR1、TR2、TR3、TR4を介して接続しループを形成している。図26はその駆動波形であり、ノーマリーホワイトモードの液晶で奇数番目のゲート線（G1）の画素では中間調を、偶数番目の

(11)

19

画素では黒を表示した場合を示している。クロックパルス $\phi 1$ 、 $\phi 3$ 、 $\phi 4$ は常時ハイレベルとしサンプリングTFT、TR1、TR3、TR4を導通状態としておく。外部から端子TGに供給されるゲート電圧VDGを、クロック $\phi 2$ をTR3に印加することによりゲート線G1、G2に振り分ける。偶数番目のゲート線液の液晶には電圧VS1、VS2が印加される。図示していないが3本目以降のゲート線のループ、例えば2n番目と2n+1番目のループに外部から与えられる電圧VDGは、図26に示したVDGを時間(n-1)tGだけ遅らせた形となる。サンプリングTFT、TR1、TR2が導通不良の場合は、TR1、TR2を常時遮断し、予備端子TGRからゲート電圧VDGRを供給しサンプリングTFT、TR4によってゲート線G1、G2に電圧を振り分ける。

【0058】図27に本発明の他の実施例を説明するためのアクティブマトリクス回路の要部を示す。第一列及び第2列の画素E1、E2のドレイン線D1、D2をループ状につなぎ、かつ表示領域外（周辺部）においてスイッチング素子として2個のTFT、TR1、TR2をループに挿入してある。通常の駆動では、 $\phi 2$ を常時ローレベルとしTR2を遮断しておく。他は図23と全く同じ駆動となる。即ち、ドレイン電圧VDDは図示していないが外部駆動回路（ドライバーIC）から端子TVDに供給される。 $\phi 1$ のクロックパルスによりTR1をスイッチングし、ドレイン線D1、D2に電圧VDDを振り分ける。これに対し、TFTのTR1が特性不良（導通抵抗の増大）の場合には、TFTのTR2をサンプリングTFTとして動作させる。即ち、図示していない外部駆動回路（ドライバーIC）は端子TVDRに接続され（TVDには接続せず）、ドレイン電圧VDDRが端子TVDRに供給される。 $\phi 1$ を常時ローレベルとしTFTのTR1を遮断しておく。 $\phi 2$ には図23において $\phi 1$ で示されたクロックパルスが印加される。基本的には図23と等価な駆動であり、ドライバーICの出力端子数はドレイン線本数の半分でよい。これに対してTFTのTR1、TR2がいずれも特性不良（導通抵抗の増大）の場合には、両側の端子TVD、TVDR全てのドライバーICを接続する。そして、 $\phi 1$ 、 $\phi 2$ を、いずれも常時ローレベルとし、TFTのTR1、TR2を遮断状態としておく。これにより上側ドライバーICでドレイン線D2を、下側ドライバーICでドレイン線D1を駆動する。この場合、ドライバーICの出力端子数はドレイン線本数と同じになる。なお、以上述べた3つの場合のうち、前記2者においては、 $\phi 1$ 、 $\phi 2$ の両方に同じクロックパルスを加えても良い。

【0059】次に、本発明に用いた液晶素子について説明する。

【0060】図28の光散乱型液晶はスメチックA相をとる液晶材料である。スメチックA相液晶は、電界

20

を印加していないとき、フォーカル・コニック構造と呼ばれる光散乱特性を呈する配向状態をとる。一方、電界を印加したときには電界方向に分子長軸を揃えたホメオトロピック構造102をとり、透明状態になるものである。

【0061】図29に光散乱型液晶として、ポリマ分散型液晶を示す。

【0062】ポリマ分散型液晶は、有機材81、例えばポリビニルアルコールの中に、カプセル状にネマチック液晶82を包含した構造となっている。このとき、ネマチック液晶分子は、カプセルの壁面に水平に配向するので、やや楕円形の断面構造を持つポリマ分散液晶では、図中の上下方向に入射する光に対しては、分子の短軸方向を見せる割合が高いことになる。一方、駆動電圧源83の電圧が印加されると、ネマチック液晶分子は、図示した通り電界方向に長軸を向けるように配向するので、入射光は分子長軸方向から入射することになる。このとき、有機材81の屈折率と分子長軸方向の屈折率をほぼ等しくするように選んだポリマ分散型液晶では、電界を印加しないときカプセルの界面では、有機材と液晶の屈折率が異なるので、光散乱が生じ、電界を印加したときは有機材と液晶の屈折率がほぼ等しくなるので光散乱がなく、透明になる。

【0063】図30に他の光散乱型液晶の例を示す。

【0064】図の光散乱型液晶は、有機材91中にネマチック液晶92が包含されている点で、図29の例と同様であるが、ネマチック液晶がカプセル状（概略球状）にはなっておらず、図30に示した通りに、有機材の間隙にネマチック液晶が満たされるようになっている。

【0065】電界の有無に対する光学的挙動は、図29の例と同様であるが、電界方向に電極間に貫通する液晶部が多いため、駆動電圧がカプセル状のポリマ分散型液晶に比べ低くできることが特徴である。

【0066】このように、光散乱型液晶にすれば、従来TN型の液晶表示装置に必要であった偏光板をなくすことができ表示装置を薄くできる他、明るさも従来の2倍にすることができる。

【0067】以上述べてきた実施例では外部駆動回路を正規と予備の接続端子のいずれか若しくはその両方に接続して動作させた。これらの駆動回路を、画素部TFTと同一基板上に形成しても本発明の主旨は損なわない。この場合には同等な機能をもつ正規と予備の駆動回路を画素部TFTと同一基板上に形成し、いずれかを選択して動作させることにより液晶表示装置を動作させる。なぜなら、同一基板上に画素TFTと駆動回路を一貫製造する場合には、駆動回路を初めから正規と予備の2系統形成しても、製造コストは増えず、不良救済が可能となるからである。

【0068】

【発明の効果】本発明によれば、薄膜トランジスタの液

(12)

21

晶容量に対する充電不足に起因した表示むらをなくすることができる。また、駆動回路の一部を内蔵した液晶表示装置を充電不足なく駆動できるのでドライバIC数の大幅な低減が可能となる。接続の信頼性も大幅に向上する。配線の断線やTFT特性不足などの不良品を救済可能に出来、歩留が向上する。以上により、低価格で高品質の液晶表示装置及び液晶表示装置を搭載したマイクロコンピュータ装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る駆動電圧波形を示す図。

【図2】本発明の一実施例に係る駆動能力と電圧の関係を示す図。

【図3】本発明の一実施例に係る液晶表示装置の構成図。

【図4】本発明の一実施例に係るマイクロコンピュータの斜視図。

【図5】本発明の一実施例に係る駆動電圧波形を示す図。

【図6】本発明の一実施例に係る等価回路。

【図7】本発明の一実施例に係る液晶表示装置の構成図。

【図8】本発明の一実施例に係る等価回路。

【図9】本発明の一実施例に係る駆動電圧波形を示す図。

【図10】駆動回路内蔵方式の液晶表示装置の回路図。

【図11】従来の方法における駆動電圧波形を示す図。

【図12】従来の液晶表示装置の回路図。

【図13】本発明の作用を説明する液晶表示装置の回路。

【図14】本発明の作用を説明する駆動電圧波形を示す図。

【図15】本発明の一実施例に係る液晶表示装置の平面構造図。

【図16】本発明の一実施例に係る液晶表示装置の回路

22

図。

【図17】本発明の一実施例に係る駆動電圧波形。

【図18】本発明の一実施例に係る液晶表示装置の回路図。

【図19】本発明の一実施例に係る液晶表示装置の平面構造図。

【図20】本発明の一実施例に係る液晶表示装置のシステム構成図。

【図21】本発明の一実施例に係る液晶表示装置の回路図。

【図22】本発明の一実施例に係る液晶表示装置の回路図。

【図23】本発明の一実施例に係る液晶表示装置の駆動波形。

【図24】本発明の一実施例に係る液晶表示装置の回路図。

【図25】本発明の一実施例に係る液晶表示装置の回路図。

【図26】本発明の一実施例に係る液晶表示装置の駆動波形。

【図27】本発明の一実施例に係る液晶表示装置の回路図。

【図28】本発明の散乱型液晶の一例。

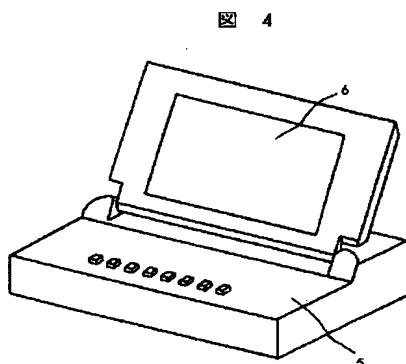
【図29】本発明のポリマ分散散乱型液晶の一例。

【図30】本発明のポリマ分散散乱型液晶の他の例。

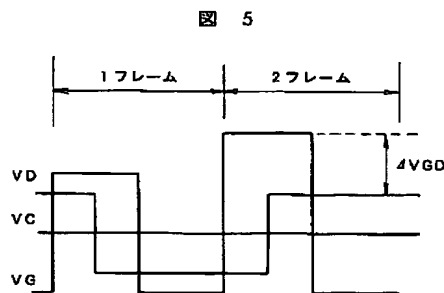
【符号の説明】

VG…画素TFTのゲート電圧、VD…画素TFTのドレイン（データ）電圧、VDD…サンプリングTFTのドレイン（データ）電圧、 $\phi$ …サンプリングTFTのゲート電圧、 $t_G$ …ゲート選択時間、 $\Delta V_{GD}$ …ゲート電圧とドレイン電圧の差電圧、CLC…液晶容量、1…ゲート駆動回路、2…データ駆動回路、3…サンプリング回路、4…画素TFTが形成された基板、5…キーボード、6…液晶表示装置。

【図4】

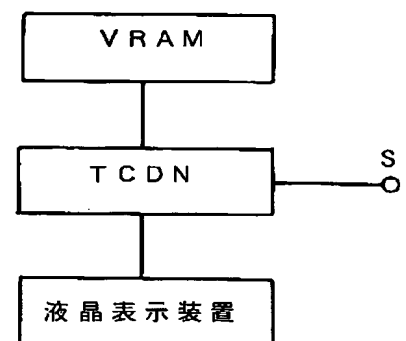


【図5】



【図21】

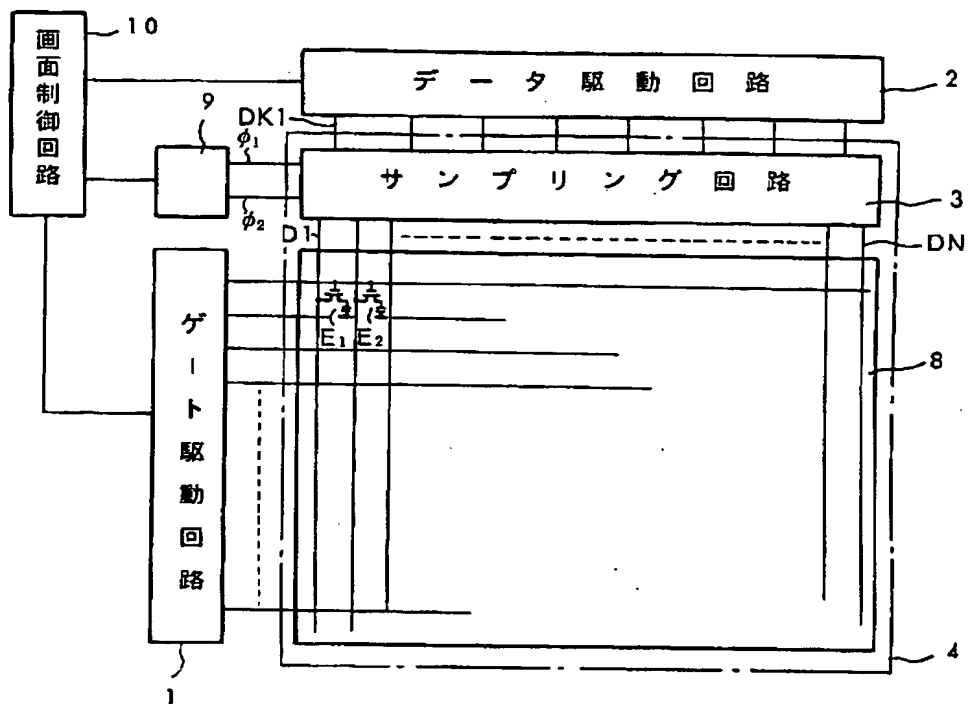
図 21



(13)

【図1】

図 1

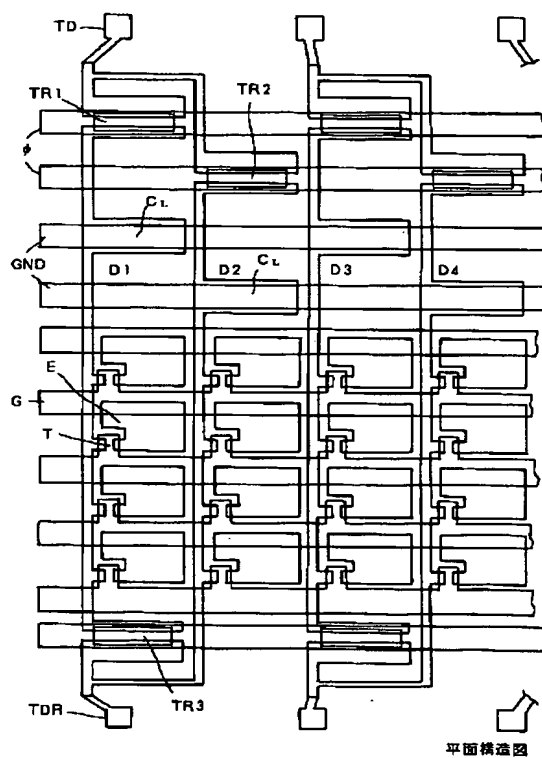
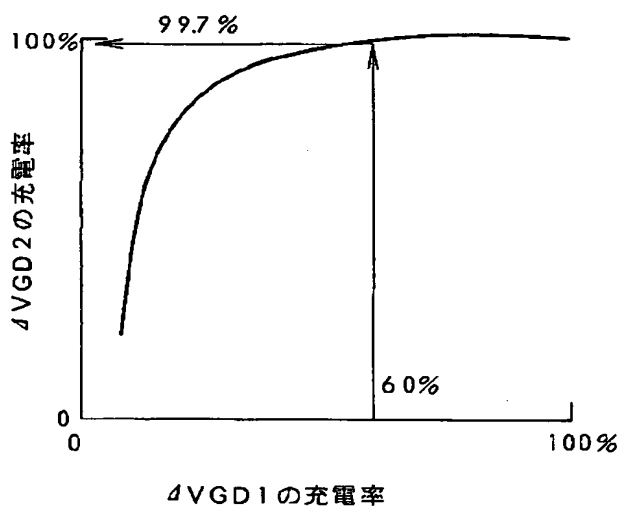


【図3】

【図15】

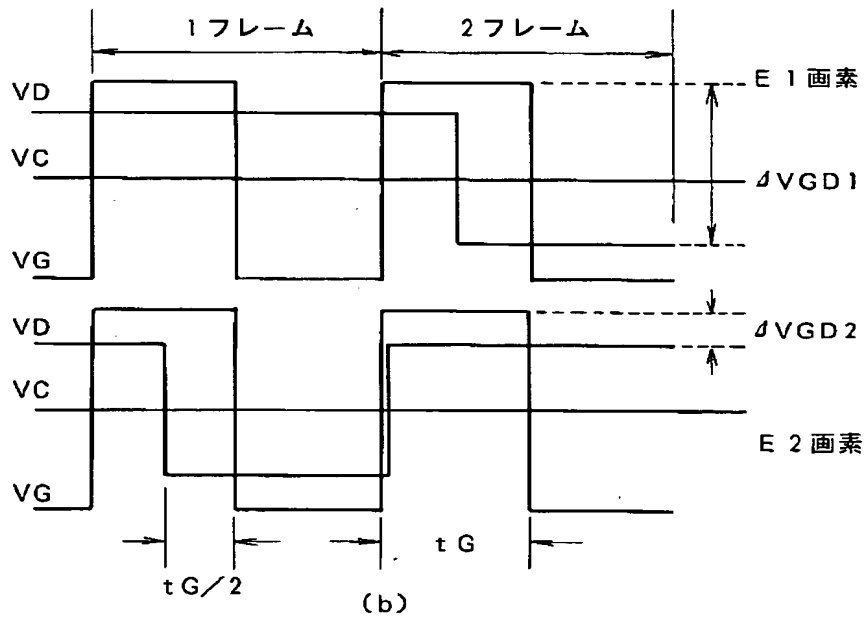
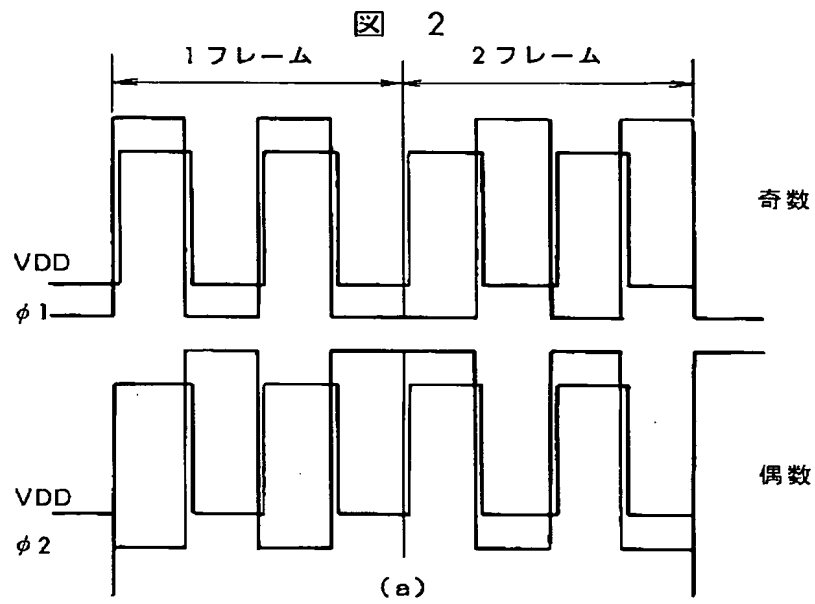
図 3

図 15

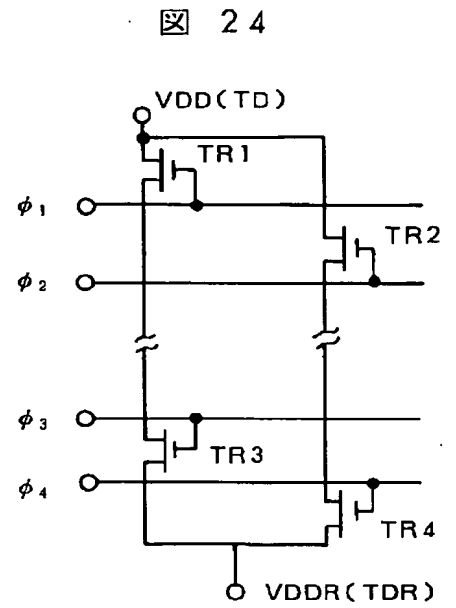


(14)

【図2】



【図24】

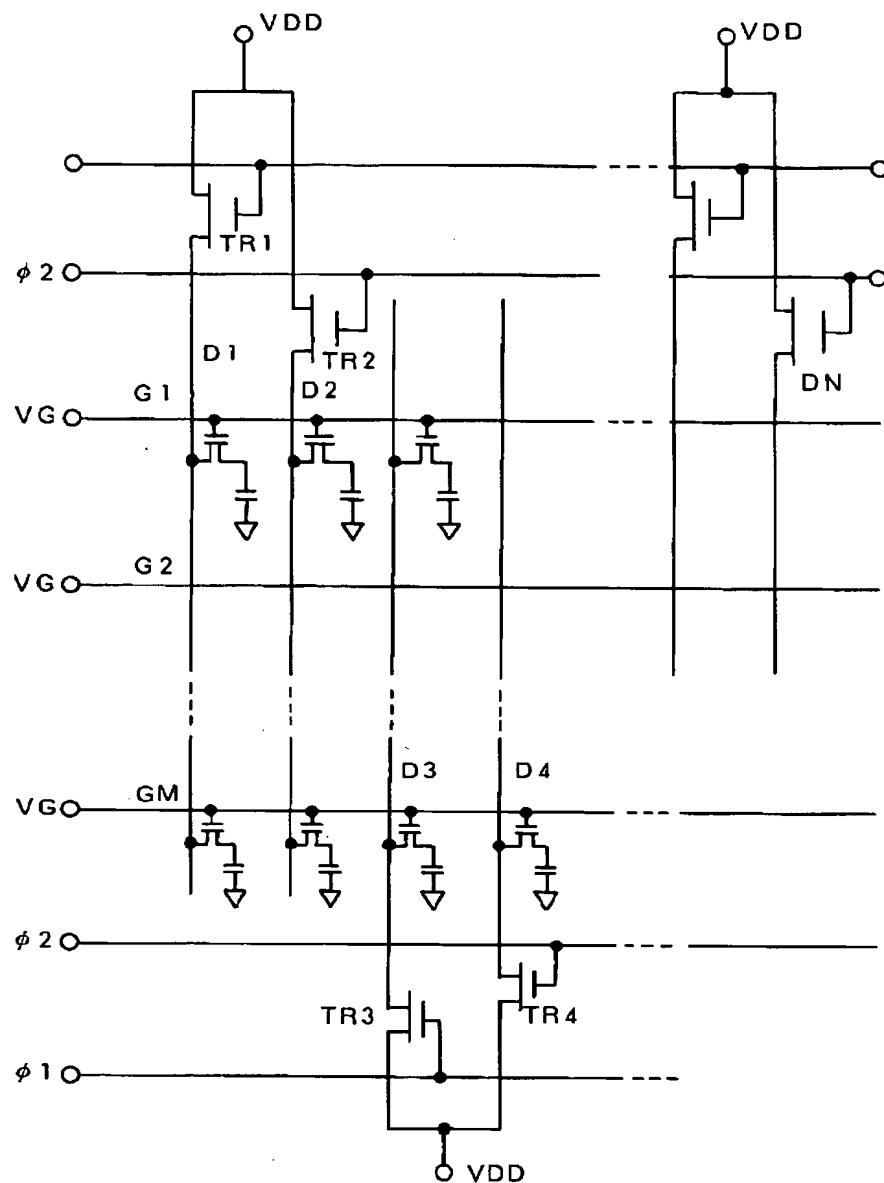




(15)

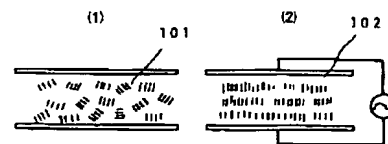
【図6】

図 6



【図28】

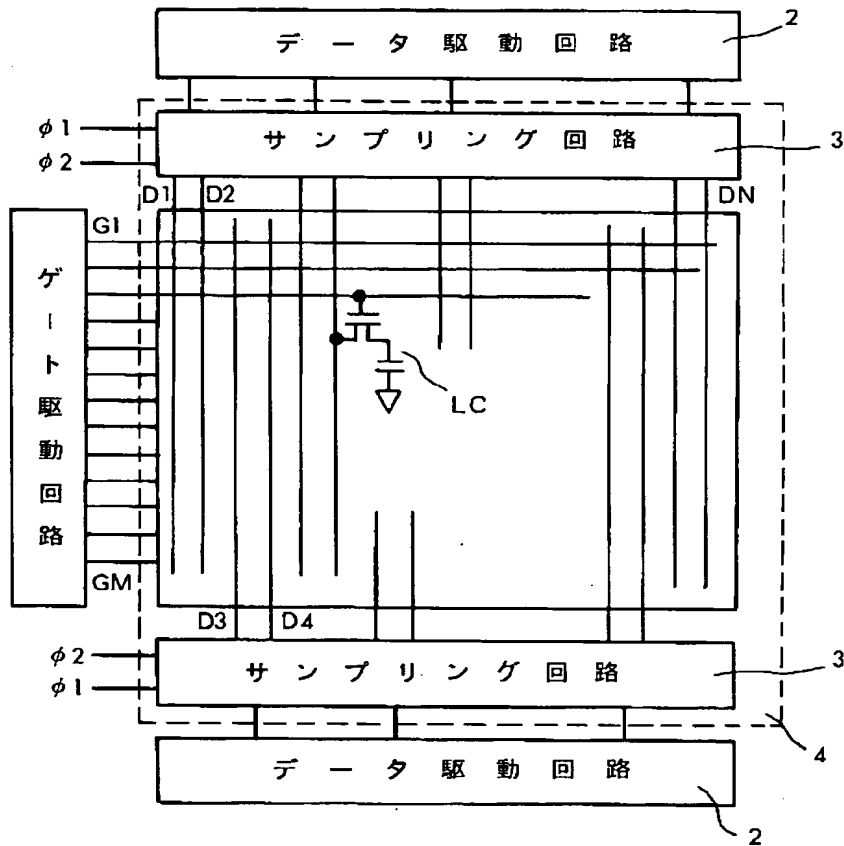
図 28



(16)

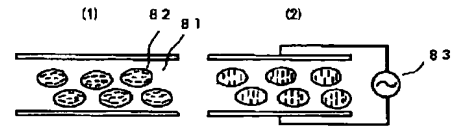
【図7】

図 7



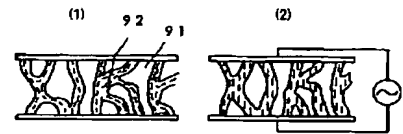
【図29】

図 29



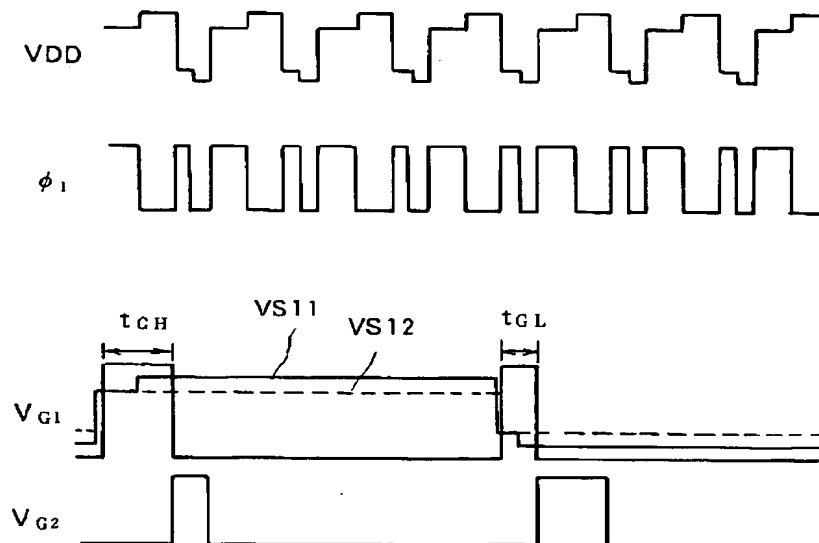
【図30】

図 30



【図23】

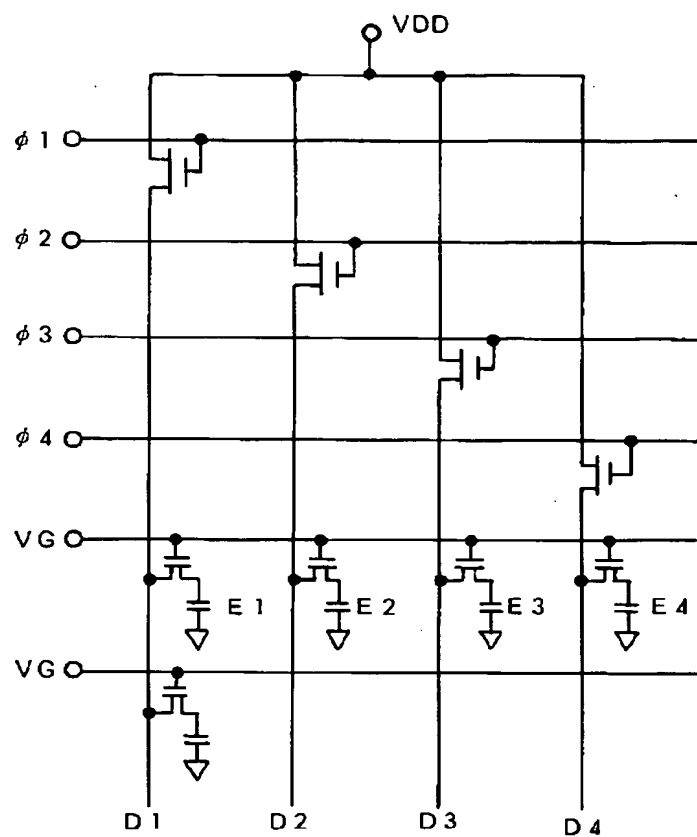
図 23



(17)

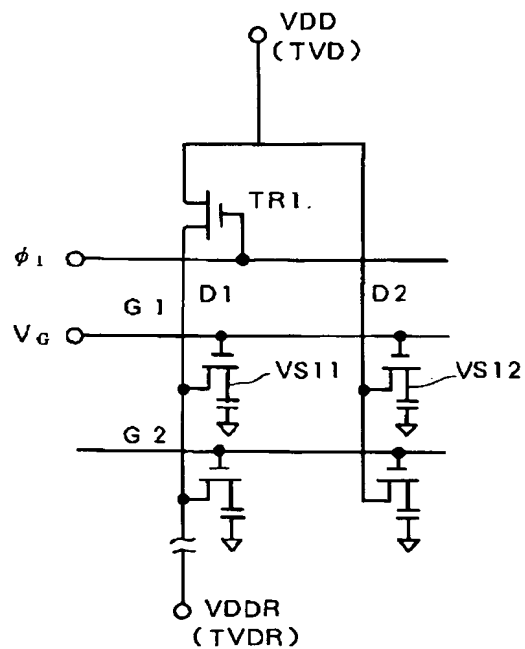
【図8】

図 8



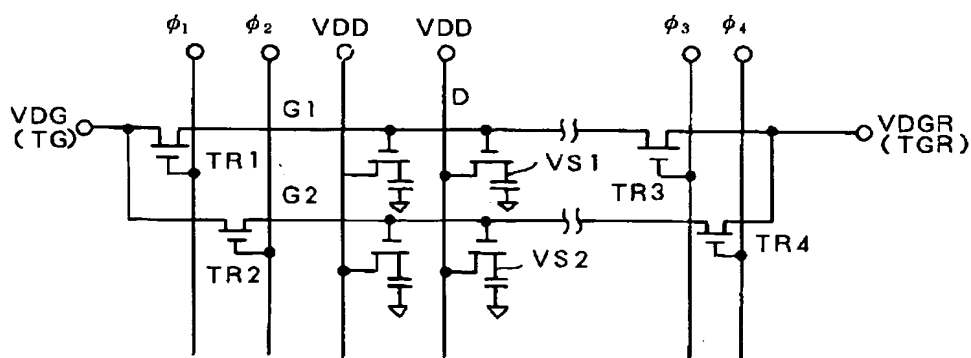
【図22】

図 22



【図25】

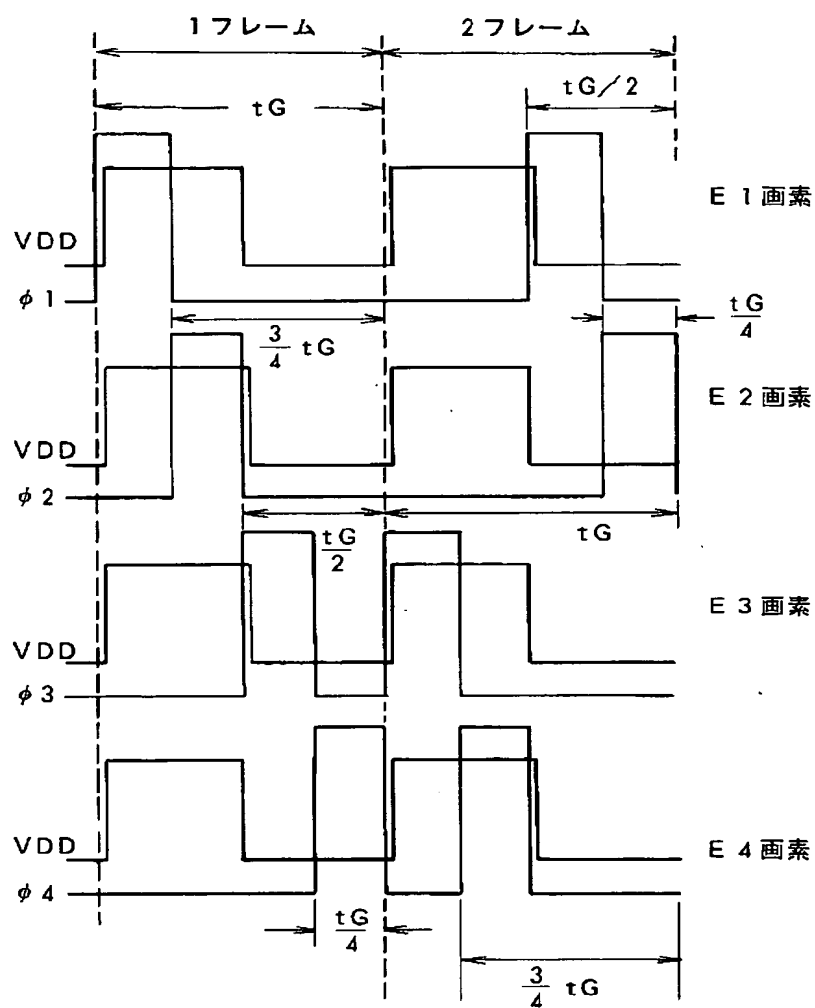
図 25



(18)

【図9】

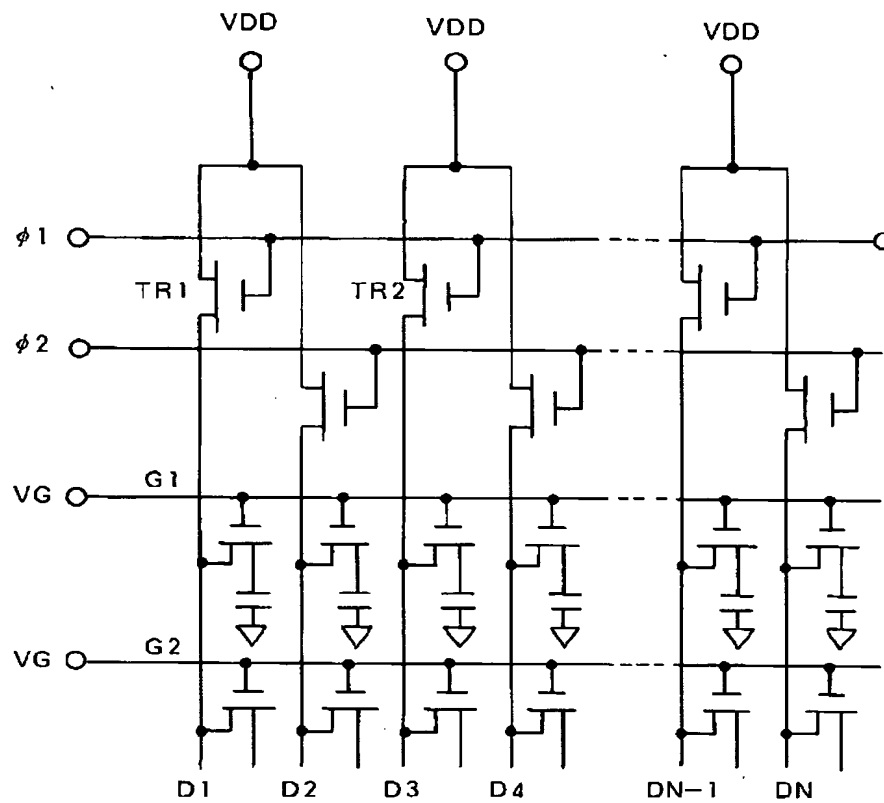
図 9



(19)

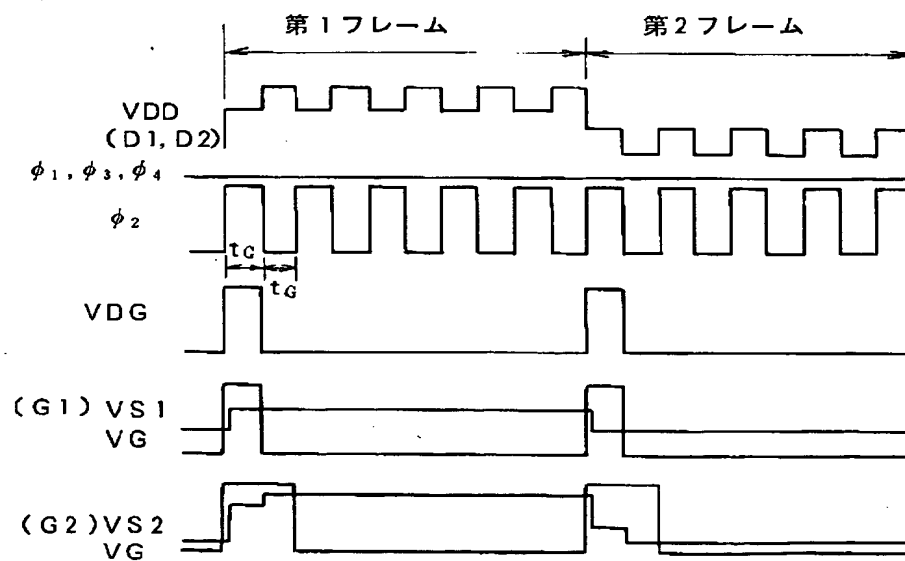
【図10】

図 10



【図26】

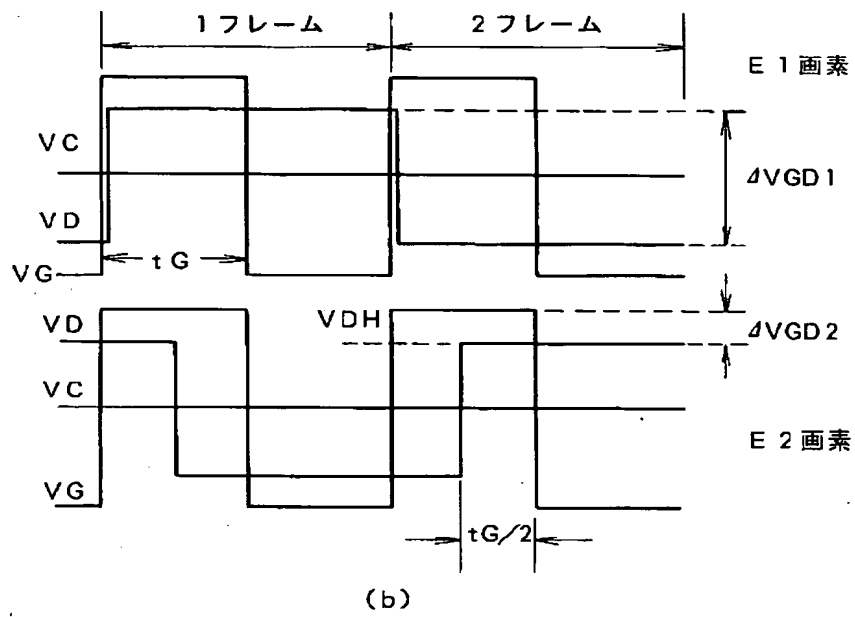
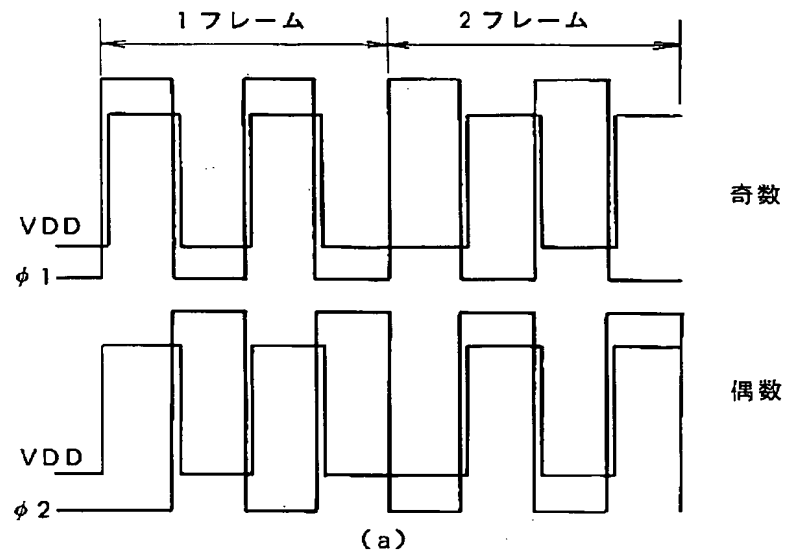
図 26



(20)

【図 1 1】

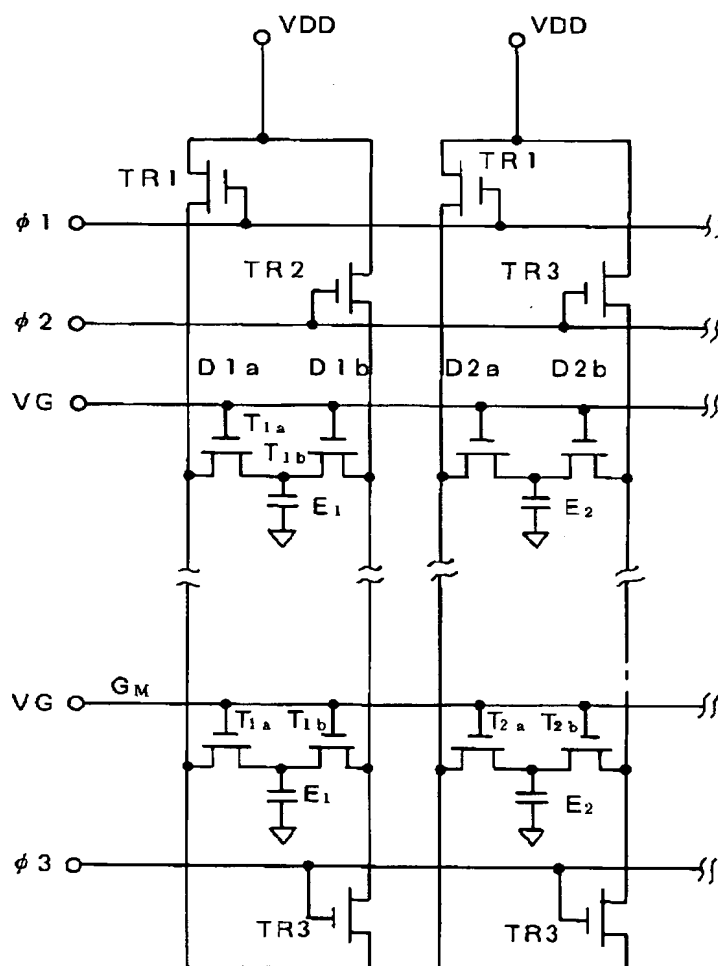
圖 11



(21)

【図1.2】

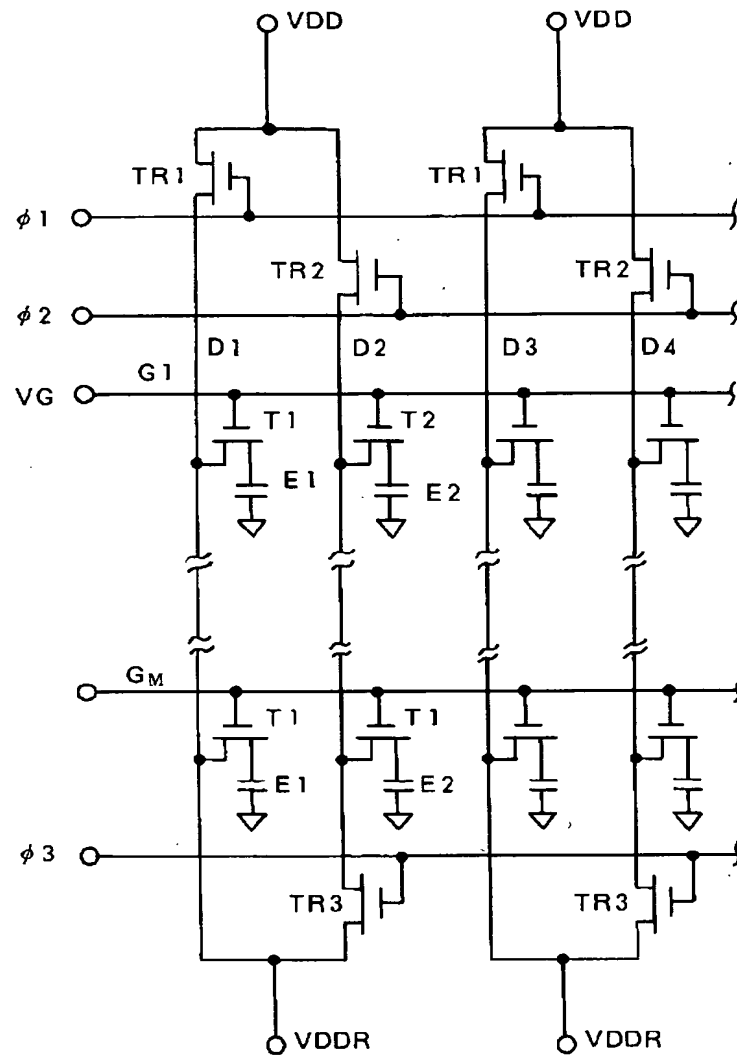
図 1.2



(22)

【図13】

図 13

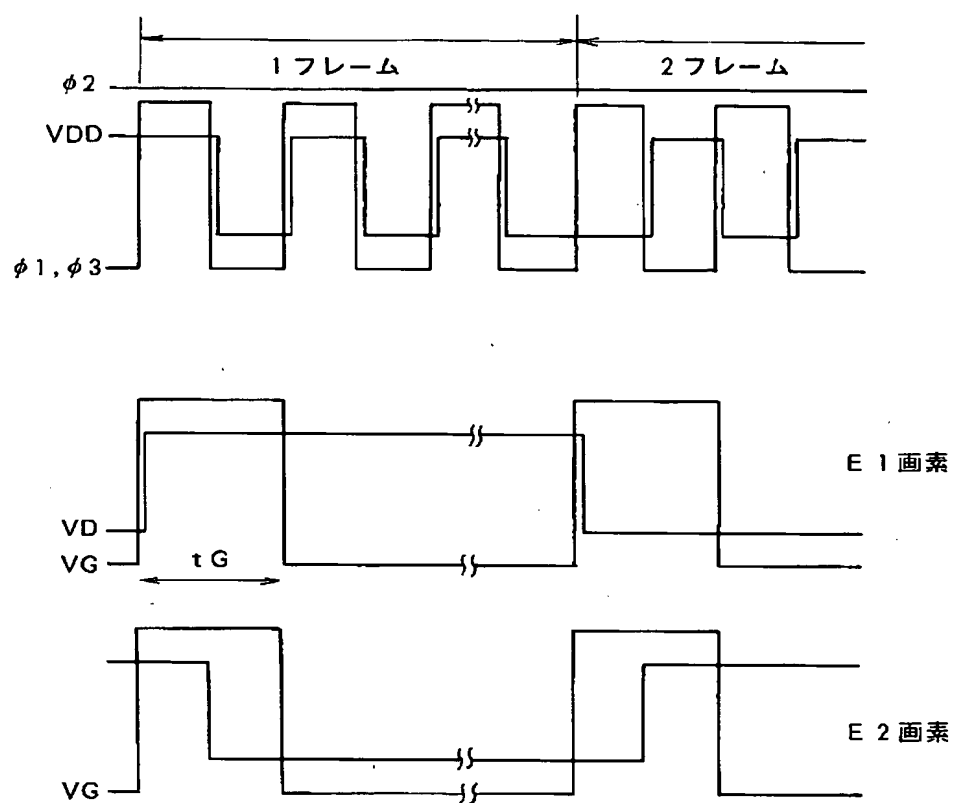




(23)

【図14】

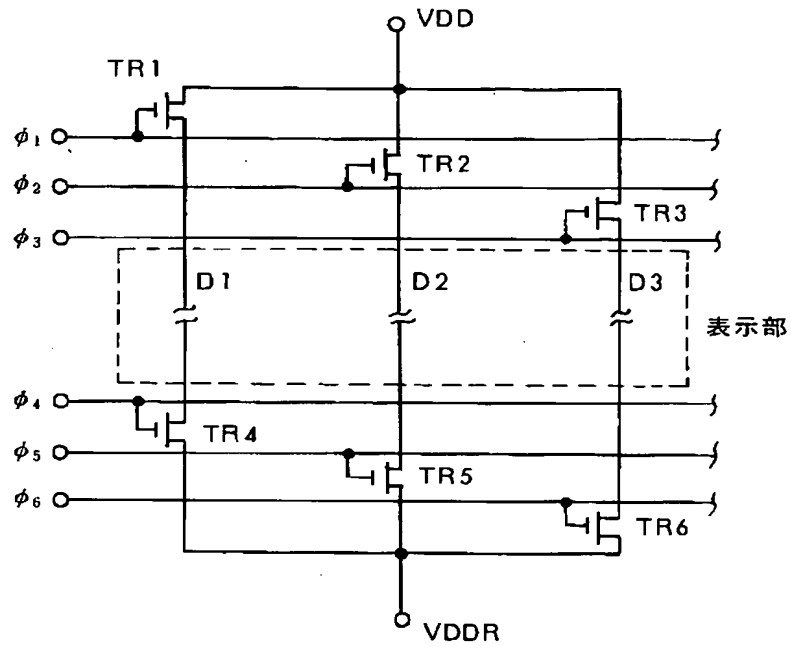
図 14



(24)

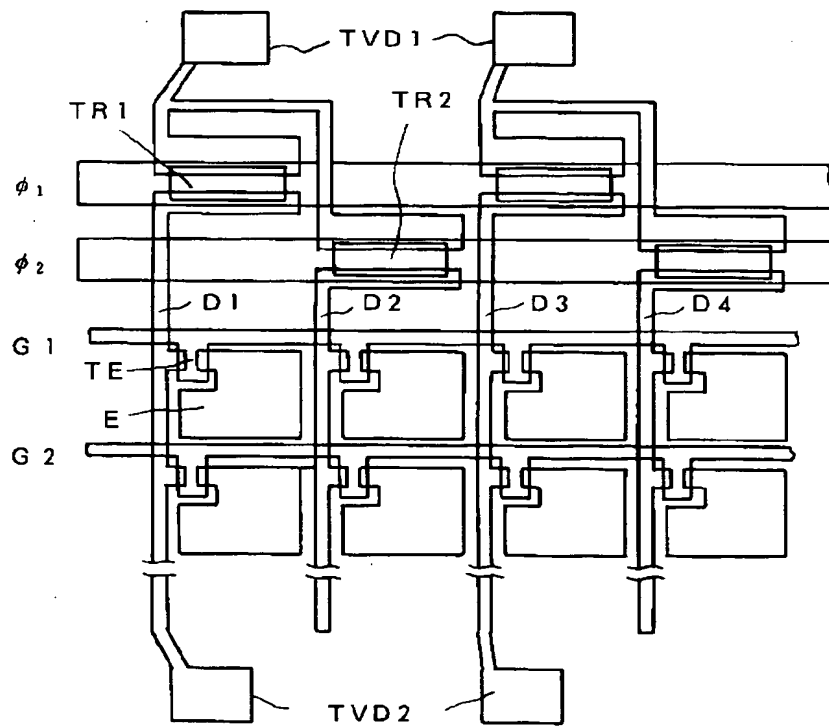
【図16】

図 16



【図19】

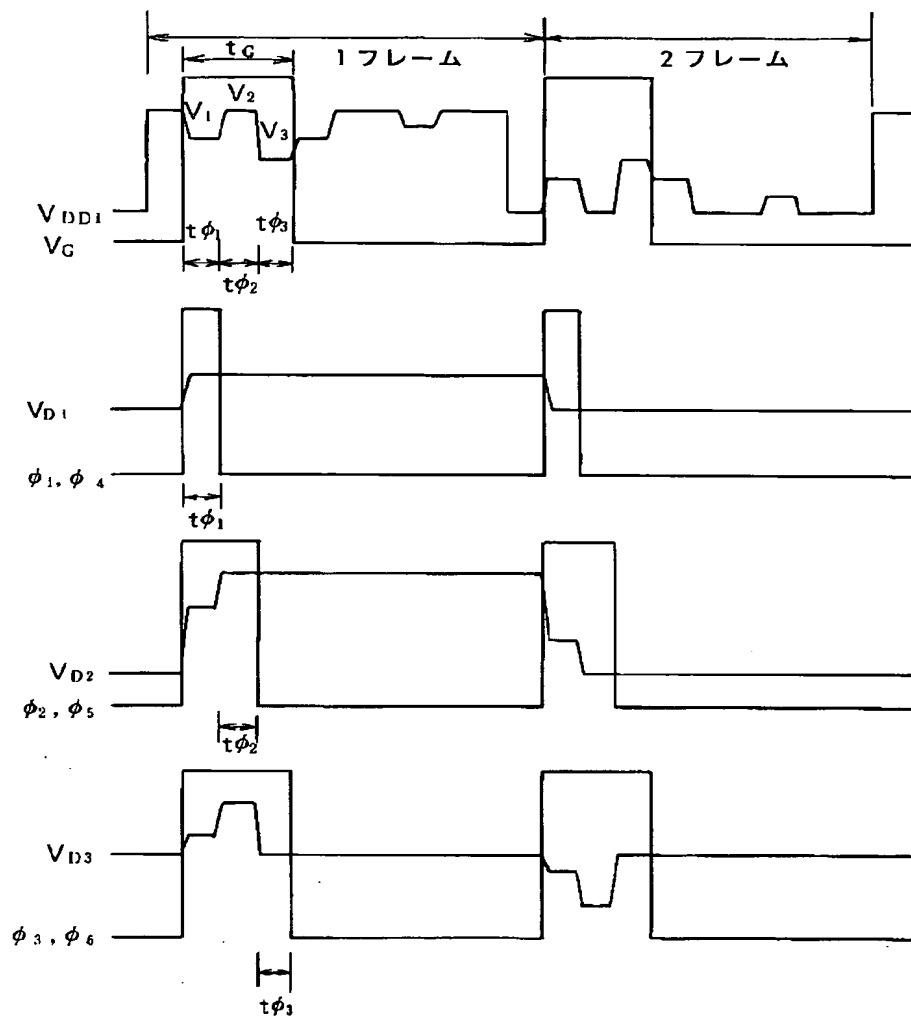
図 19



(25)

【図17】

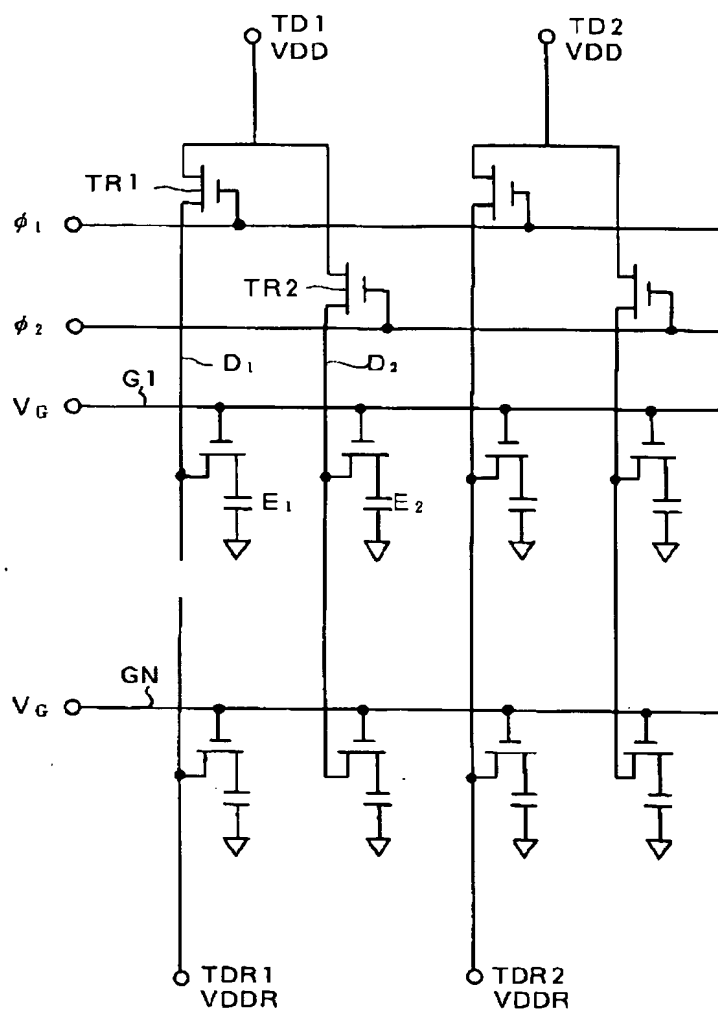
図 17



(26)

【図18】

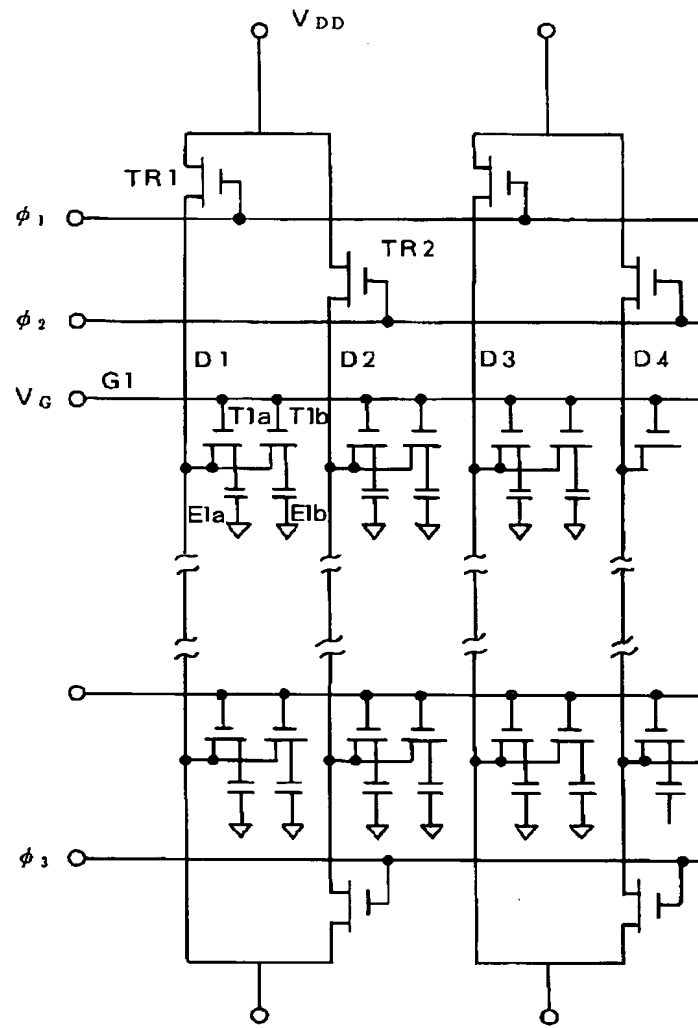
図 18



(27)

【図 20】

図 20



(28)

【図27】

図 27

